

Az Alpha EV7 processzor

Az Alpha EV7 processzor

Az Alpha microprocesszor architektúra utolsó jelentős fejlesztésének ismertetése és összehasonlítása az őt megelőző EV6-os lapkával



Készítette: Szigeti János

EHA: SZJAOET.SZE

Kelt.: 2006. november 23.

Az Alpha EV7 processzor**Tartalomjegyzék**

Az Alpha EV7 processzor.....	1
Tartalomjegyzék	2
Bevezetés	3
Az EV7 születésének körülményei	4
A jó szerverhez jó mag kell	7
A hálózati skálázhatóság és a megbízhatóság céljainak megvalósítása a tervezésben	13
Marvel EV79.....	18

Az Alpha EV7 processzor**Bevezetés**

A munkám során 2000-ben találkoztam először Alpha processzoros szerverrel, ekkor még OpenVMS, Tru64 Unix, MS NT 4.0 operációs rendszerek futottak rajtuk. Az évek során egyre inkább csökkent számuk, majd 2004 év végén a munkahelyem megvásárolta az utolsó AlphaServer GS1280-as szervert, az utolsó Alpha-át.

Szomorúsággal tölti el az embert egy ilyen nagyszerű architektúra, s vele együtt Tru64 UNIX eltűnése.

Ez a csalódottság indíttatott arra, hogy a HP oldalai még fellelhető a dokumentumokat felhasználva ebből a témából készítsem el az esszét.

Jelentős feladat előtt áll minden nagyvállalat, ahol a kiszolgálópark magját Alpha szerverek alkotják, hiszen a már többször is prolongált terméktámogatás 2010 év végével végleg lezárul, így addig valamennyi e szervereken futó alkalmazást át kell migrálni valamely új architektúrájú és jövővel rendelkező „vas”-ra, amely migráció magában hordozza a technológiai megkötések miatt az operációs rendszer váltást is.

Jelen esszében a fő hangsúlyt az 1998-ban megjelent EV7-es lapka ismertetésére helyezem, valamint e lapka összehasonlítására az EV6-os lapkára.

Az Alpha EV7 processzor**Az EV7 születésének körülményei**

Az eredeti Alpha architektúra megtervezése 25 évvel ezelőtt 1988-ban történt. Az eredetileg DEC fejlesztésű rendszert a cég megvásárlása után a Compaq vette át és folytatta a meglévő alapokról a fejlesztéseket.

1998-ben az Alpha processzorok az EV6-os lapkára épülnek, amely jól reprezentálja a processzormag fejlesztések irányát, mivel a négy-utas superskalár mag irányvonal 1996-ban lett meghatározva a Mikroprocesszor Fórum által.

Alpha Microprocessor Roadmap

	<i>EV68C</i>	<i>EV68C</i>	<i>EV7</i>	<i>EV79</i>
Lapka Karakterisztika				
Órajel (GHz)	1	1.25	11.2	~1.6-1.7
Teljesítményfelvétel (W) max	65	75	155	120
Méret (mm ²)	125	125	400	300
Technológiai Jellemzők				
Vdd (V)	1.65	1.65	1.65	1.2
CMOS (drawn um)	0.18	0.18	0.18	0.13 - SOI
Foglalat	FC/LGA	FC/LGA	FC/LGA	FC/LGA
Lábak száma	675	675	1443	1443

A fejlesztések eredményeként az Alpha processzorok magja 80 utasítás egyidőben történő elvégzését támogatja. A regiszterátnevezési módszerrel 80 integer és 72 lebegőpontos műveletet tud elvégezni. A gyorsabb adatkapcsolat megvalósítása érdekében az integer regisztert megduplázták, mivel a művelet végrehajtásakor az aktuális ALU a regisztert zárolja, de a két regiszter lehetővé teszi, hogy az adatmegosztás és átvitel egy órajel alatt megtörténjen.

Az elsődleges L1 cache 64KB méretű és két körös válaszidejű, amely magas találati értékeket tesz lehetővé. A kisebb méretű L1 cache megvalósításával egy-körös válaszidőt lehet elérni, de a kisebb méret alacsonyabb találati értéket eredményezne.

Az Alpha EV7 processzor

Az Alfa processzorok kialakításánál a 7 fokozatú hosszú csővezeték-technológiát alkalmazták. Hogy kiküszöböljék a nem folyamatos utasítás-végrehajtás – ugrás, elágazás – során létrejövő buborékképződést, az elágazás-jövendölés módszerét alkalmazták, amely ma már minden nagy számítási-teljesítményű processzor része. A hibás jövendölés a 21264-esnek 11 vagy még ezt is meghaladó számú ciklus kiesését jelentette, ugyanis ennyi időt tölt puffert és utasítás sor utántöltésével.

A 21264-es elágazás-jövendölésének alapja az elágazás előzmények tábla, amelyet a lokális és a globális jövendölés módszerevek, értelmez. Hogy kevesebb időt töltsön az elágazás utasítás előkészítésével a 21264 a „next line” jövendölés alapján betölti a számított adatokat a cache-be.

A 21364-es kódnevű processzor, az EV7 az 1998-as Mikropocesszor Fórumon lett bejelentve. Az eredeti rendszer tervét 1996-ban a Dick Site-on megjelent „It’s Memory Stupid” című cikkben erős kritika érte. A cikk címe játékos, figyelemfelkeltő, de a tartalma felhívja a figyelmet arra, hogy a memória sávszélesség és válaszidő tekintetében a következő generációs processzoroknak meg kell oldaniuk az ezekből fakadó problémákat, s nem csak a CPU órajel frekvencia növelésére kell törekedni. A cikk bemutat egy teljesítmény analízist, amely megmutatja, hogy a 21164-es mag, amely 400MHz-es órajellel bír, minden három végrehajtott ciklus után a negyedik ciklust a külső memóriára történő várakozással tölti. Felhívja a probléma megoldására a figyelmet, amelynek megoldása növelné a mag teljesítményét, de mindezt a mag gyors utasítás végrehajtásának, és számítási sebességének megtartásával kell elérni.

A 21164-es processzormag továbbfejlesztett változata a 21264,s ezt követi az EV7-es, amelynek új rendszerbusszal, IP (inteprocesszor) támogatóval, lapkára integrált memóriavezérlővel, és 1,5MB-os L2 cache-sel lett felvértezve.

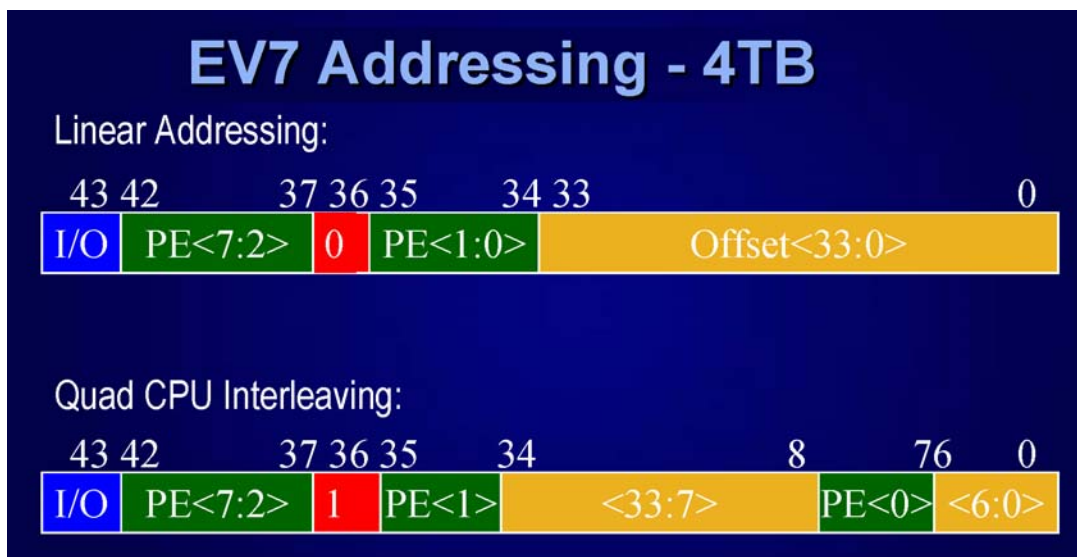
A 21364-es – az EV7-es kódneve – tervezésekor a 0,18 mikronos félvezető technológiát alkalmazták, de a tervezett 1,2GHz mag már a 0,13-as SOI (silicon-on-insulator) technológiával készül 2003-2004 körül. Ezt a rendszert EV79-ként kerül bevezetésre, a következő fejlesztésekkel, magasabb órajel 1,2 GHz, és alacsonyabb áramfelvétel, ezen kívül az új processzor 33%-kal kisebb méretű lesz, a könnyebb szerelhetőség érdekében. A robosztus, de ipari körülmények között még gyártható 400mm²-es EV7-hez képest az EV79 300mm²-es méretével könnyebb előállíthatóságot, és olcsóbb beszerzési árat jelent, valamint az órajel növelésével párhuzamos a növekszik processzor a RAMBUS csatornájának és IP csatornájának sávszélessége.

A processzor-architektúra kialakításánál fő szempont a skálázhatóság, amely a többprocesszoros rendszerek, kialakítását teszi lehetővé. A tervezők számára jelentős problémát okoz a külső memória műveletek elvégzéséhez szükséges időtartam hosszúsága, amely 10-szerese a lapkára integrált cache-ből történő adathozzáférésnek. Az EV7 megnövelt sávszélessége, és a megnövelt cache lehetővé teszi a 128 processzoros architektúra kialakítását.

Az Alpha EV7 processzor

A lapkára integrált L2 cache, a két cache vezérlő és az IP hálózati, multiprocesszor támogatás mellett az EV7 mérete mégsem haladja, meg a 400mm²-t, amely a 0.18 mikronos félvezető technológia mellett nagy teljesítménynek számít. A következő lapkageneráció már 0.13 mikronos SOI technológiával készül az EV79 ,amelynek már egy jelentősen megnövelt órajel frekvenciájú processzor, mérete 300mm².

Az rövid válaszidejű, csomag-alapú interprocesszor kapcsolatok, a lapkára integrált RDRAM memória kontrollerek, a hibatűrő megoldások alkalmazása, és a négy-utas superskalár mag, valamint az eddigi 64 bites processzorokat meghaladó órajele a szerver processzorok követelményrendszerének megfelelő tulajdonságokkal ruházta fel az EV7-est.



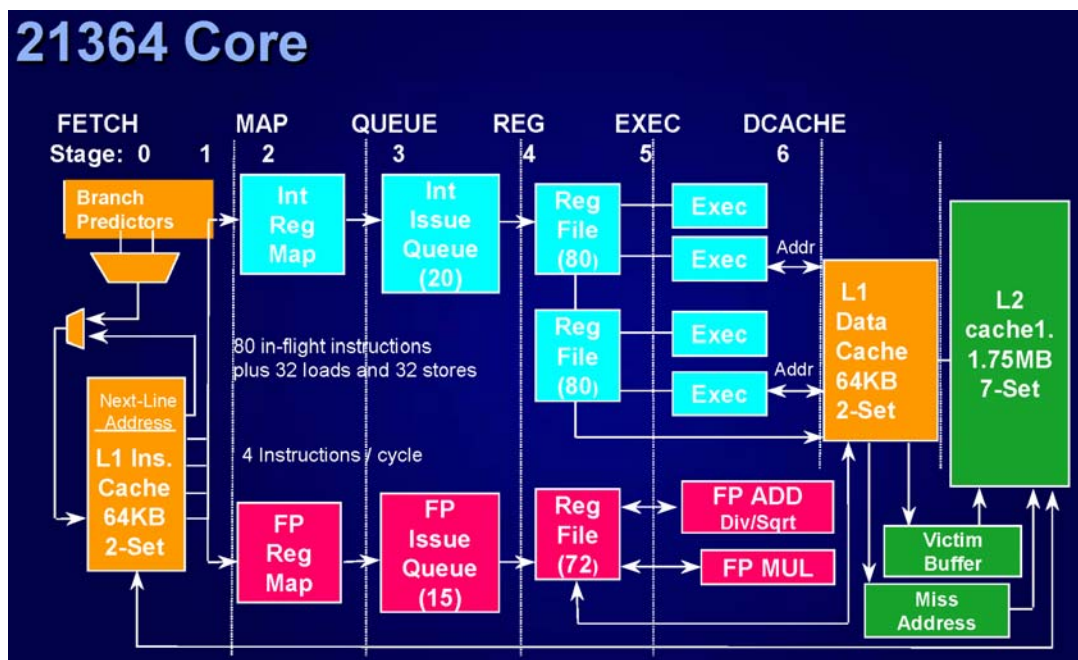
A memória címzési tartománya, lehetővé teszi a maximálisan 128 node számára a node-onkénti 32GB memória megcímzését, így teljes kialakításban a 21364 rendszer 4TB memória megcímzését támogatja.

Az Alpha EV7 processzor**A jó szerverhez jó mag kell**

Az EV7-es processzor a 21264-es EV6 rendszer magjának tovább fejlesztése. Ez a mag hosszú időn keresztül érintetlen volt, s a progresszív processzorokként szerzett hírnevet, mivel kiemelkedően gyors az utasítás betöltése és a cache block töltése 8-tól 16-ig növelhető.

Az EV7 memória hierarchiája egyenes irányú, a 64KB L1 cache találat nélkülsége esetén az 1,5MB L2 cache-hez érkezik a kérés, s találat esetén az adat a 128-bit szélességű adatbuszon továbbítódik, ha nincs találat a kérést a lokális memóriához fut be, s az adat visszatér a magba, amennyiben a lokális memória nem tartalmazza a kívánt adatot, a kérés a rendszerben lévő másik processzor memóriájához érkezik.

A 21264-es mag nyolc-utas victim puffere lehetővé teszi, hogy egyidőben használja az L1, L2 cache-t. Az EV7 új tervezése megnövelt 16x64 byte-os block elrendezésű, ez a beosztás lehetővé teszi a kérések ideiglenes tárolását, és a kérések továbbítását az L2 caches-en kívüli, lokális memória, ill. processzorhálózat felé. A puffer lehetővé teszi a cache gyors feltöltését és a maghoz történő kéréstovábbítást, választást. A nagyméretű puffer kialakítását az interprocesszor kommunikáció megfelelő kialakítása indokolta.



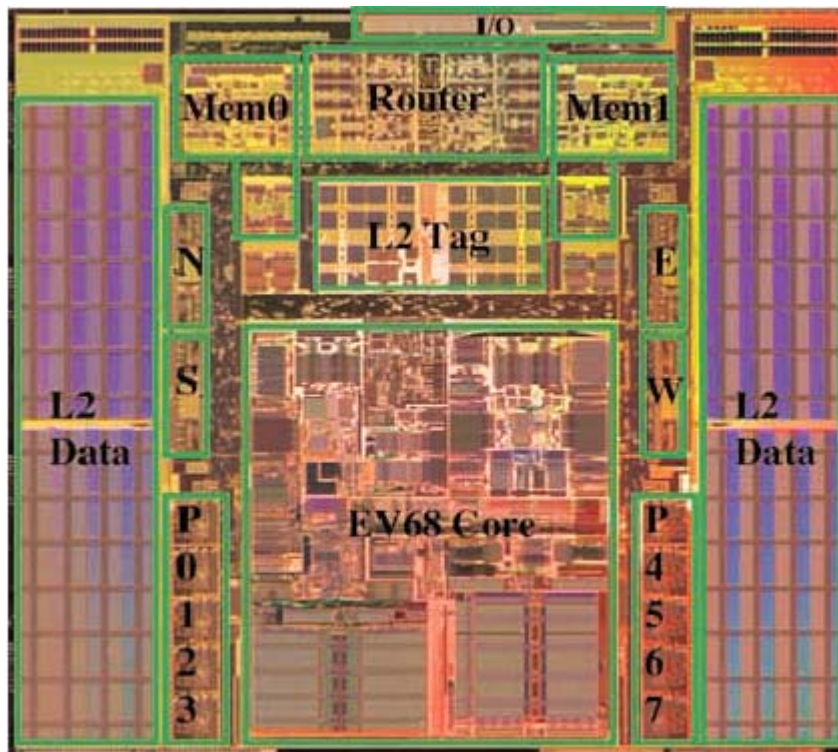
Az Alpha EV7 processzor

Az EV6-os processzor már rendelkezett hét-lépcsős pipeline-nal és két-ciklusos L1 cache hozzáféréssel. Mindez négy utasítás előkészítését tette lehetővé 64KB két-utas asszociatív elrendezésű utasítás cache-ből (I-cache) minden ciklusban és kiszolgálását a fixpontos és a lebegőpontos leképezésnek. A fixpontos utasításokat a rendelkezésre álló 80 fizikai regiszterből a fixpontos utasítások számára dedikált 32 virtuális regiszter terület felhasználásával helyezi be a kimeneti sorba.

Minden egyes ciklus alatt, a fixpontos utasítás kimeneti sor négy utasítása – a legrégebbi először – kerül kivezetésre, s kiürülnek az utasítások által foglalt slot-ok, így a veremből kiürülnek a már továbbított utasítások, és fogadja az utasításokat az utasítás címzőtől – Instructions Mapper. A következő ciklusban, az operanduszok előkészítése történik a regiszter file-ból. A regiszterelérés sávszélességének növelése érdekében a négy fixpontos megosztja egymással a két egymástól független regiszter file másolatot.

A 64 KB-os két-utas asszociatív L1 adat cache (D-cache) két töltési műveletet tud végrehajtani egy ciklus alatt. Hibás cache hivatkozás esetén a cache blokkból a kérés az L2 cache-be érkezik. Mikor az adat módosításra kerül, a művelet ideje alatt az eredeti adat a betöltésre kerül a 16-utas victim pufferbe, s a visszaírás lezártáig, annak visszaigazolásáig ott marad, ezzel a hibajavítás lehetősége fennmarad – hibás elágazás jövődőlés vagy pipeline buborék, szakadás esetén is.

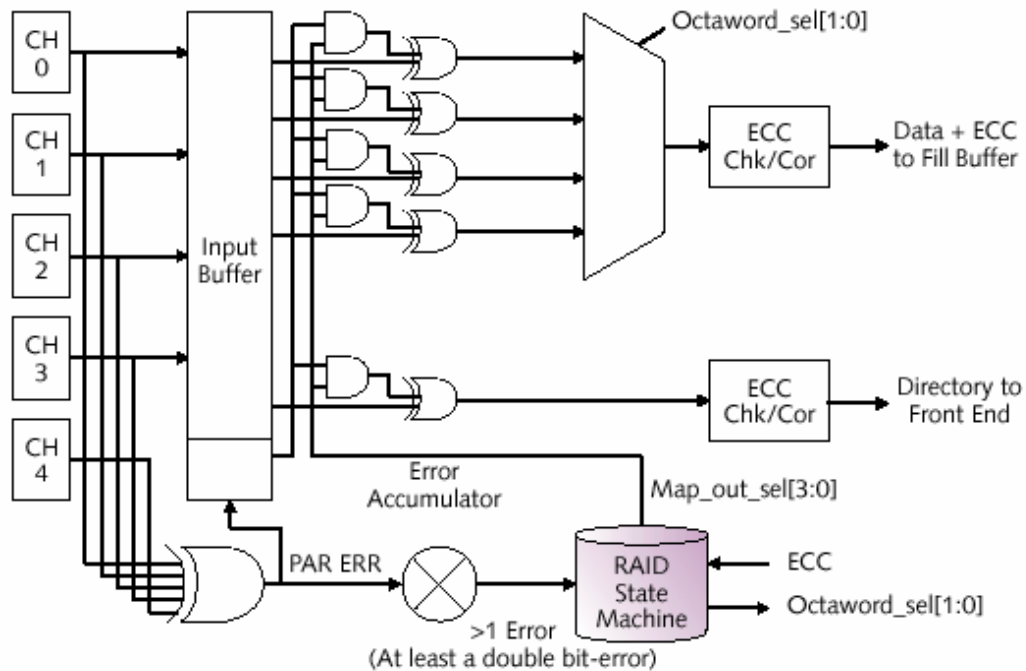
Az EV7 méretezhető hat-utas asszociatív szervezésű L2 cache a processzor mag körül helyezkedik el. Az 21264-es az EV6-os szervezettségét örökölte, így az egyik oldal újrahasználtba vétele alatt a másik oldal 12 ciklusos feltöltés-használat válaszidővel elérhető a mag számára. Ugyan hosszabb válaszidejű L2 array-k áramfelvétele lényegesen alacsonyabb, de a 21264-es L2 cache-e R/D étéke 16 byte/ciklus 1GHz órajel mellett, amely 16GB/s-mos sávszélességet eredményez. Az L2 array-t ECC védelemmel látták el, amely lehetővé teszi az egyszeres hibajavítás mellet a kétszeres hibakód detektálást, ill. annak korrekcióját, hibatűró rendszerben.

Az Alpha EV7 processzor

Az EV7 processzor képe, amelyen jól látható az L2 cache elhelyezése.

A vizsgálatok szerint a rendszer és a memória sávszélességének növelésének akadályja a processzor front-side busza, egészen eddig a processzor busz jelentette a szűk keresztmetszetet, amelyet a memória hozzáférés, az I/O átvitel, és a cache lopták el egymás elől. A külső memória eléréséhez az adatkérést át kellett irányítani egy másik chip-re, amely már a DRAM busz sebességével működött, így a processzor tervezők számára folyamatos kihívást jelentett, hogy a memóriahivatkozásokat a processzormagtól elkülönítve kezeljék. A legmodernebb nagyteljesítményű processzorok jellegzetessége az on-die L2 cache. A szervekben használt processzorok egyik jellegzetessége az 1MB vagy még ennél is nagyobb L2 cache, az EV7-est 1,5MB L2-vel látták el, s ez adja a jelentős lapka méretnövekedést.

Az EV7 két integrált Direct Rambus (RDRAM) memóriavezérlőt tartalmaz. A Direct Rambus technológia magasabb adat elérést biztosít kivezetéseként, mivel nagyobb a kimeneti sávszélessége, és jobb a kérésekre adott válaszüzeje, mint az DRAM technológiának. Mindezek mellett az RDRAM csomag orientált, amely jobban megfelel az IP interprocesszor rendszer követelményeinek. A kivezetéstől kivezetésig késési idő és a page találat az RDRAM esetében 30ns, és a betöltéstől a felhasználásig történő utasításra adott válaszüze 75ns.

Az Alpha EV7 processzor

2. ábra, Az ötödik RDRAM csatorna felhasználásával elérhető a memória RAID konfigurációjának módosítása. A külön csatorna kialakítása megvédi a rendszert bármely más csatorna meghibásodása esetén történő adatvesztéstől. Ha az adat ECC értéke egy bit-nél nagyobb hibát jelez, az azt jelenti, hogy az egyik csatornán az adathozzáférés nem megvalósítható valamilyen okból, majd csatornák fogadják a helyes ECC értékkel rendelkező csomagot, s megtörténik a hibás csomag cseréje.

Az RDRAM memória választása vitatható ugyan, de 1998-ban ez a technológia számított a legnagyobb teljesítményűnek, s elhagyjuk a Rambusszal kapcsolatos üzletpolitikai visszaéléseket, az RDRAM ma is a legnagyobb kivezetésenkénti sávszélességgel rendelkező memória technológia. Az EV7 megvalósításakor a legnagyobb dedikált memória sávszélesség elérése volt a cél, amelyet a chip-re integrált duál RDRAM vezérlővel valósították meg. A kontrolkereket a gyors RDRAM teljesítményére optimalizálták, így az támogatja a 2048 egyidejű lapnyitást. Mindkét vezérlő támogatja a négy 18 bit-es RDRAM csatornát, ez a kialakítás mindegyik processzor számára több mint 12GB/s raw sávszélességű hozzáférést jelent. A kilencedik csatorna lehetővé teszi az adatok RAID konfigurációját, és a hibatűrő rendszer kialakítását is segíti.

Az Alpha EV7 processzor

Mint az L2 cache esetében a külső memóriát is egyszeres hiba korrekcióvédelemmel és kétszeres hibadetektálással látták el. A külső memóriába továbbított adat egy csomagba kerül az adathoz tartozó 9 bit-es ECC kóddal. Hiba esetén annak korrekciója inline történik, így nem igényel külön válaszdőt vagy sáv szélességet.

Amennyiben ezen kívüli hiba védelemre is szükség van, és alkalmasint a hibázási lehetőség a hatalmas rendszerkiépítettségéből fakad, mint a terrabyte-nyi a megcímzendő memória, a memória RAID-be történő szervezése jelenti a legjobb védelmet, mivel a rendszer megőrzi működőképességét még egy RIMM modul kiesése esetén is. A hiba felderítése és annak korrekciója elhanyagolható késedelmi időt jelent, s mindemellett a chip teljes sáv szélességben és azonos válaszdővel továbbra is elérhető - annak ellenére, hogy mindeközben megtörténik a hibajavítás. A RAID konfiguráció igényli a 9. külön RDRAM csatorna kialakítását, amint azt a 2. ábra mutatja: a bit szinten történő kizáró- vagy megvalósítása a négy csatorna között, amely szolgáltatja az négy közül az egyik csatorna meghibásodása esetén a szükséges információt annak korrekciójához.

A címtár alapú cache-koherens protokoll integrált része a memóriavezérlőnek. Minden címtár bejegyzés össze van kapcsolva a cache egy 64 byte-os blokkjával, így a címtár bejegyzés három állapota megadja az adatblokk pozícióját és állapotát, azaz az adat lokális, vagy DRAM-ban vagy a processzor saját cache-ben helyezkedik el. Az adat megosztható, tehát több processzor is tárolhatja saját cache-ében a módosítás nélküli blokk példányt. Kiszámú megosztás esetén, a címtár felveszi az aktuális CPU számát, amely megosztja az adatot, és a hozzá tartozó ID-t. Amennyiben a nagy mennyiségű adat megosztása történik a címtár rögzíti a folyamatvektort, amelyen belül 20 bit reprezentálja az egyes CPU-kat. Egy 64 processzor kiépítettségű gépben, minden egyes bit egy blokkot reprezentál négyprocesszoronként. Végül mindezenkívül a minden egyes processzor tartalmazhat saját felhasználású cache blokkokat, így a címek tárolása a processzor saját cache blokkjaiban történik.

Az EV7 36 bites fizikai címzése meghatározza a folyamatos címzését a lokális, a processzorhoz tartozó, ill. a két processzor közötti memóriának. A két processzor közötti lapközi címzésű memóriarész 256MB-os területekre van felosztva, amely lehetővé teszi a lineáris tárolás a lapközi megcímzését. A lineáris címkiosztás a lehető legrövidebb válaszdőt tesz lehetővé, amikor az adatot az egység tartalmazza, s kérés hozzá érkezik, pl.: replikált kódok esetén. Abban az esetben, ha több processzor küld utasítást ugyanazon adat beolvasására, a lapközi memória címzés lehetővé teszi a az adattárók szekcióinak egyidőben történő elérését a processzorok számára, ez az ún. lapközi memória címzés megnyújtását jelenti, a processzorok között, így lecsökken annak lehetősége, hogy váratlanul az egyik processzor memória array-éhez tartozó minden találat kéréséért ugyanazon modul teljesítse, ezen túl nagy forgalmat okozzon ezen egység, ill. processzor számára – hot spotting.

Az így kialakított memória címzés lehetővé teszi a node-onkénti 32GB külső memória használatát, amely a 21364 rendszer teljes kiépítettsége esetén 128 node-t jelent, azaz 4TB-t. A memória címzési mód beállítására a boot-oláskor van lehetőség.

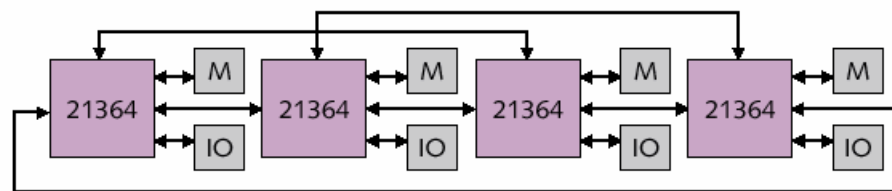
Az Alpha EV7 processzor

A cache-koherens protokoll terminológia ismeri a kérő, a tulajdonos, a megosztások, az home fogalmát.

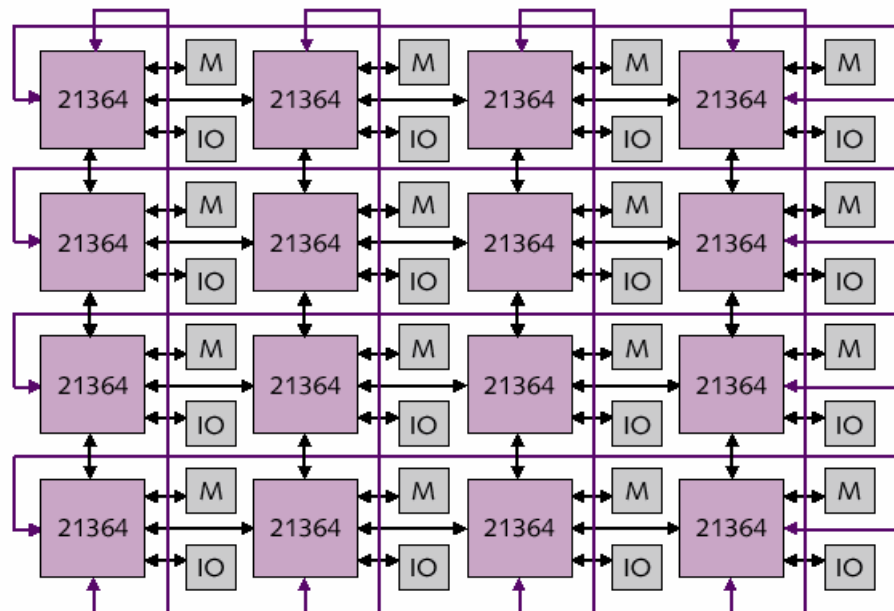
Kérő az a node, amelyik kérést intéz a processzor-hálózaton az adat elérése érdekében. A home azon a területe a címtárnak, amelyik reprezentálja az adatot, tehát a memória területen belüli konkrét címe az adatnak. Lehetőség szerint csak egy tulajdonosa van a blokkoknak, de egy távoli node-on is lehet ugyanazon blokk exkluzív másolat a processzor saját cache-ében, így a tulajdonos leírása a terminológiában, ezen paraméterrel is számol. A megosztások meghatározása, ismeri a távoli node-ok által tartalmazott megosztott másolatok létezését, amelyek nem lettek módosítva.

Az Alpha EV7 processzor**A hálózati skálázhatóság és a megbízhatóság céljainak megvalósítása a tervezésben**

Az EV7 ccNUMA – cache coherent, nonuniform memory architecture – szervezési rendszerre épülő szerver architektúra illeszthetőség szerint lett tervezve. A ccNUMA rendszer memória válaszideje átlagosnak nevezhető, viszont a skálázhatósága jó. AZ EV7 megfelel a több processzor szabványnak is, így illeszthető, nem NUMA vagy ccNUMA szervezettségű, ill. magas válaszidejű memóriával ellátott rendszerbe is. Természetesen a legjobb teljesítmény akkor érhető el, ha a ccNUMA szerint kialakított rendszer alkalmazunk, amelyhez ezen szabványhoz illeszkedő operációs rendszert választunk, pl.: Compaq Tru64 Unix, Open VMS 6.4.



Four-Processor Configuration



Sixteen-Processor 2D Torus Configuration

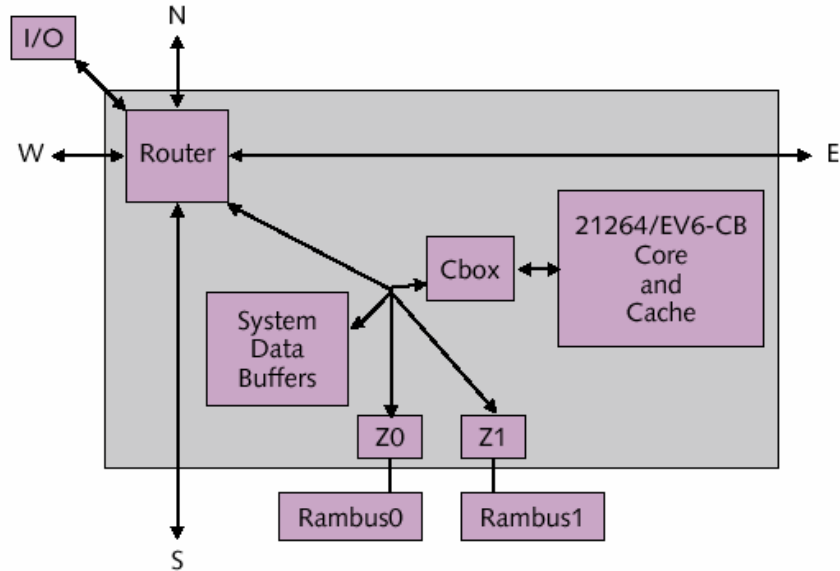
3. ábra. Az EV7 támogatja a 4-64 processzoros rendszerek kialakítását, s megvalósítására más architektúrákban is támogatott. A fizikai címzési protokoll használatával a rendszer 128 processzorig bővíthető, ahol a processzor kapcsolatok gyűrű alakba rendezettek, hogy a processzorközi útvonalak minimalizálása céljából.

Az Alpha EV7 processzor

Az 21364-es különlegességének a lényege a könnyen bővíthető rendszerek kialakításában rejlik, amely lehetővé teszi a memória méretének, sebességének és a processzorok számának változtatását, valamint teljes rendszer sávszélessége is változtatható, mivel a interprocesszor busz csomópontok nélküli kapcsolatok kialakítására ad lehetőséget, amint azt a 3. ábra mutatja. A kétdimenziós interprocesszor kapcsolat kialakítás teljesen zárt, hibátűrő és minimalizált ugrásokkal teszi lehetővé a legtávolabbi processzor elérését is. Ez a topológia alkalmazható 128 processzorig is, ahol az egységek partícióba rendezésével alakíthatjuk ki a nagyobb rendszert.

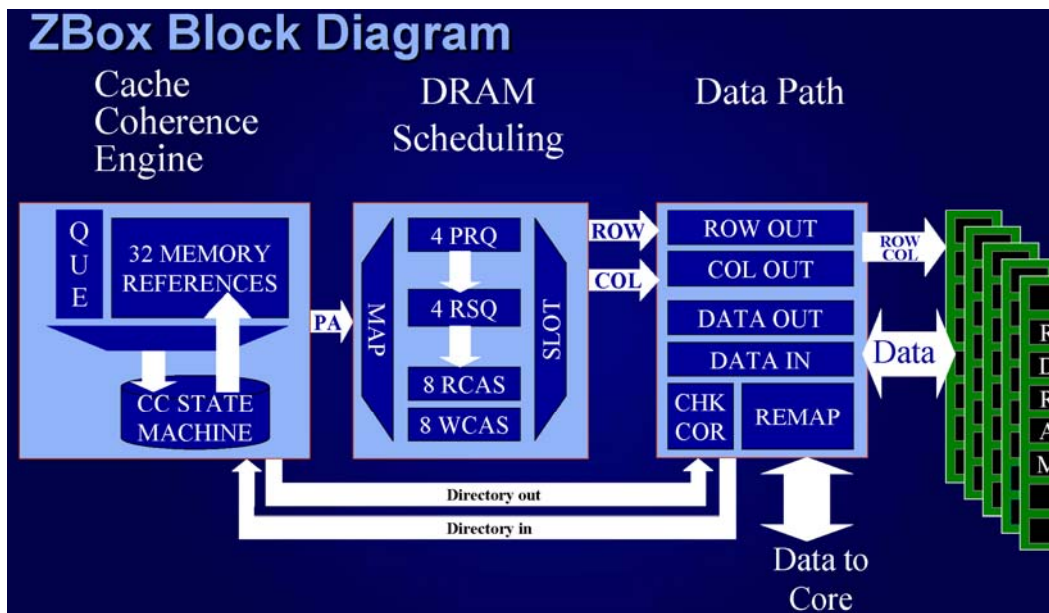
Mindegyik processzor-node 10GB/s adatátviteli sebességű, és minden ugrás a processzorhálózaton 18ns-t vesz igénybe. A processzor hálózaton történő kommunikáció csomagalapú és egy alkalmazkodó útválasztó sémát használ, amely nem garantálja az adatok rendezését. A gyűrű topológia alkalmazása lerövidíti a node-ok közötti kommunikációs útvonalakat, és csökkenti a várakozási időt. A körbefutó útvonal-kialakítás miatt egy processzor kiesésével deadlock jön létre, de ezt a problémát az egyes útvonalakhoz hozzárendelt virtuális csatornák kialakításával oldották meg.

Az alkalmazkodó útválasztási protokoll lehetővé teszi a processzor hálózat detektálását és a hot spot-ok kialakulásának elkerülését. Az útválasztási algoritmus a deadlock mente, amelynek megoldása érdekében egy speciális buffert alkalmaznak minden egyes node-on. A dimenzió orientált útválasztásnak is nevezett útválasztási sémát alkalmazták a kétdimenziós gyűrű topológia deadlock mentes megvalósítására, ahol a csomagok továbbítása mindig először csak egy irányban történhet meg észak-dél vagy kelet-nyugat irányában.

Az Alpha EV7 processzor

4. ábra. Az ábrán a processzor-lapkára integrált interprocesszor támogatás egyszerűsített vázlatát látható, ahol a router négy IP csatornával, egy I/O csatornával és egy lokális memória kapcsolattal rendelkezik. Valamennyi IP port támogatja a 6,2 GB/s-os átviteli sebességet, ill. mindegyik RDRAM memória array támogatja a 6,2 GB/s-os adatátviteli sávszélességet.

A Router, ahogyan azt a 4. ábra is mutatja, négy csatornán keresztül csatlakozik a szomszédos processzorokhoz, ezeket a csatornákat az égtájak szerint elnevezve hívhatjuk északi, déli, keleti és kapcsolódási pontoknak is. Ezen kívül a router rendelkezik egy kapcsolódási pontokkal, IO7-es porthoz és a lokális portokhoz. A lokális portokon keresztül csatlakozik a C-boksz-hoz, amely a lokális processzormaggal való kapcsolatot valósítja meg, valamint a két Z1, ill. Z2 memóriavezérlőhöz.

Az Alpha EV7 processzor

Az átvitel során az adatok először a beviteli sorba kerülnek, de beviteli sor típusú hálózatok hátránya, hogy a feldolgozási válaszidők növekedésével a beviteli telítődik, telítődik, amelyet rendkívül nehéz kiküszöbölni. A probléma megoldására az EV7-et két különálló beviteli sorral látták el, amely lehetővé teszi, hogy egyidőben két csomag kiolvasása történjen meg az input queue-ból, és azok továbbítása valósuljon meg. Valamennyi port alapvetően önálló, kivéve az I/O portot, amely FIFO kimenetű, mivel az I/O porton történő átvitelt más technológiájú hardware erőforrások számára biztosítani kívánták, függetlenül azt a port frekvenciájától.

Az EV7 a forrás alapú útválasztást használja, ahol a fizikai-címbyteket az útválasztási táblában indexelve tárolja, amelyek reprezentálják a processzor ID-t. Az útválasztási tábla tartalmazza a célállomások észak-dél, kelet-nyugat égtájak által meghatározott koordinátáit és a célállomáshoz vezető útvonalat. Amikor egy csomag bekerül a hálózati forgalomba az először az észak-dél irányba lesz továbbítva mindaddig, amíg a megfelelő koordinátái meg nem egyeznek a célállomásával, majd ezt követi a kelet-nyugat irány szerinti célbajuttatás, amely kiemeli azt a hálózati forgalomból.

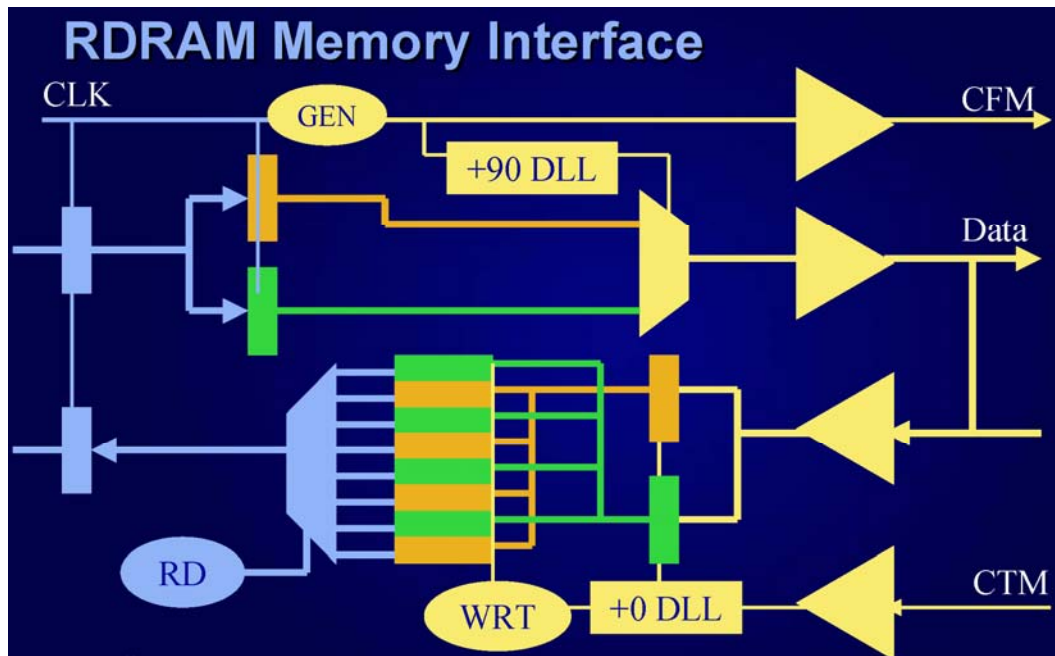
A kezdő ugrás-bit alkalmazása a hálózatlyukak elkerülését szolgálja és lehetővé teszi a hálózati hiba esetén a helyreállítást; például, ha egy csomagot kelet irányában kellene továbbítani, de ez a link nem elérhető valamilyen okból kifolyólag, a kezdő ugrás-bit alapján a csomag az elérhető, mondjuk az északi irányba továbbítódik mindaddig, amíg a keleti port el nem érhető, ahonnan már a helyes irányba folytatja útját a célállomásig. Ez a taktika lehetővé teszi gyűrűszakadás esetén is a csomagok továbbítását.

Az Alpha EV7 processzor

319	283	247	211	247	283	319	355
283	247	211	175	211	247	283	319
247	211	175	140	175	211	247	283
211	175	140	75	140	175	211	247
247	211	175	140	175	211	247	283
283	247	211	175	211	247	283	319
319	283	247	211	247	283	319	355
355	319	283	247	283	319	355	391

5. ábra. A táblázat az osztott memória hozzáférési időket mutatja egy 64 processzoros rendszer esetében.

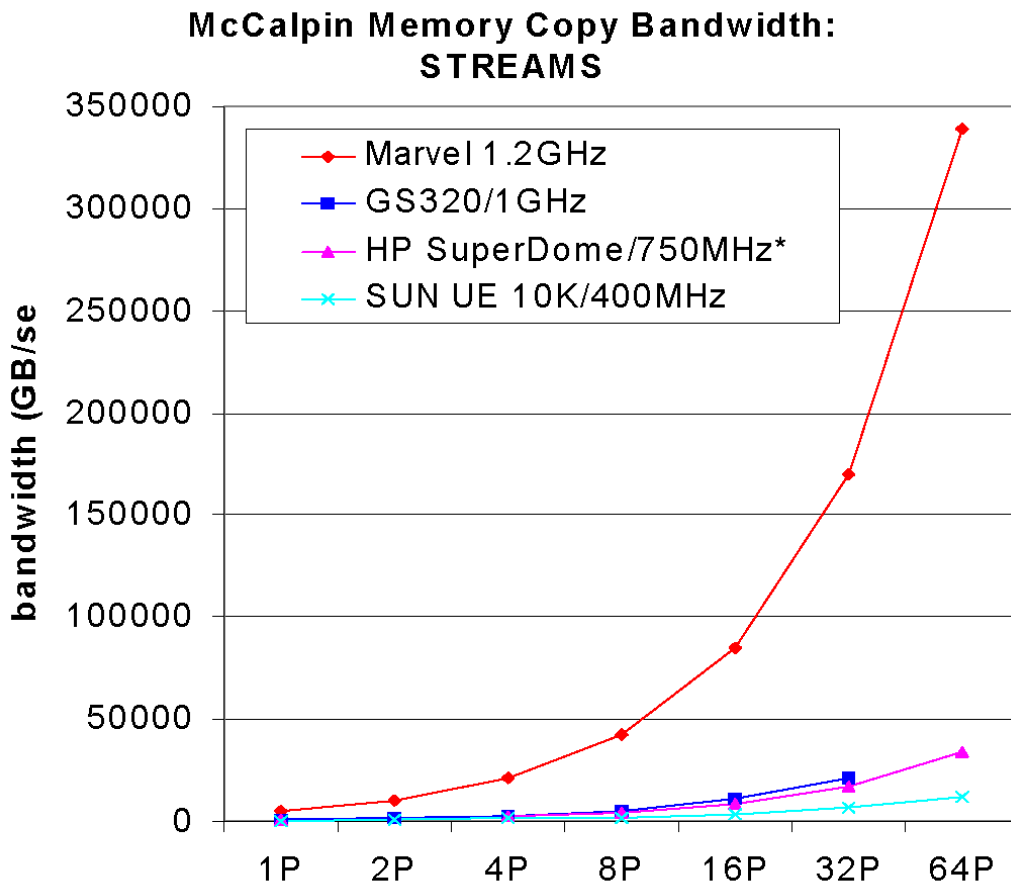
Az 5. ábrán látható mátrix az emelkedő hálózati válaszdőket mutatja, középpontban a kezdő értékkel, amely a lokális DRAM memória 75ns-os válaszsideje. Ahhoz hogy adatot olvassunk ki az egy csomópont nélküli elérési távolságra lévő DRAM-ból a szükséges idő 75ns, amely az DRAM hozzáférési ideje, valamint maximum 30ns, amíg az adat bekerül a hálózatba, s ugyanennyi idő szükséges annak kiemeléséhez is, majd 18ns az átjutási idő.



A teljes késési idő közel 140ns a kérés küldésétől, a kért adat megérkezéséig csomópont nélküli távolság esetén. Távolabbi memória elérése esetén a késési idő 35-36ns-mal növekszik ugrásonként. A táblázat jobbalsó sarkában látható adatok a hálózat legtávolabbi node-ján lévő memória elérési idejét mutatja, amely már több mint 390ns.

Az Alpha EV7 processzor**Marvel EV79**

2002. december 6-án a Hewlett-Packard hivatalosan is bejelentette, hogy szállítja EV7 processzorra épülő, "Marvel" kódnevű AlphaServer rendszereit. A vállalat közleménye szerint a bemutatott számítógép egyike, az AlphaServer GS1280 minden idők legnagyobb teljesítményű AlphaServer rendszere.



Az új AlphaServer család tagja a felsőkategóriás GS1280 nagyvállalati szerver, az ES80 középkategóriás modell, valamint az ES47 munkacsoport-szerver. A számítógépeken Tru64 vagy OpenVMS operációs rendszer futtatható, az AlphaServer ES80 és ES47 esetében pedig a Linux is rendelkezésre áll. A jelenleg elérhető AlphaServer GS1280 rendszerek 32 darab Alpha 21364 (EV7) processzort. Az AlphaServer ES80 legfeljebb 8 processzort támogat, a listaárak 81 ezer dollártól indulnak. Az ES47 munkacsoport-szerver 1-4 processzort tartalmazhat, az árak 39 ezer dollárnál kezdődnek.

Az EV7 a tíz éves Alpha projekt utolsó jelentős állomása, a 2004-ben megjelent EV79 csupán apró változásokat tartalmaz. Az Alpha EV7 processzor 152 millió

Az Alpha EV7 processzor

tranzisztorból áll és 0,18 mikronos csíkszélességgel készült, így a mag mérete 400 nm². A chip 1,75 Mbyte másodsztű gyorsítótárat tartalmaz, működési frekvenciája 1,2 GHz.

A HP bejelentette továbbá Alpha RetainTrust nevű programját, amelynek célja az Alpha felhasználók minél szélesebb körű támogatása, különös tekintettel a Tru64 és OpenVMS operációs rendszerekre, illetve az Itanium-alapú szerverekre való áttérésre.