

### Pentium 4

Gépi utasítások → **RISC** szerű  $\mu$ műveletek, több  $\mu$ művelet futhat egyszerre: szuperskaláris gép, megengedi a sorrenden kívüli végrehajtást is.

Máté: Architektúrák 9. előadás 1

### Pentium 4

2-3 szintű belső gyorsító tár.

**L1: 8 KB** adat, 4 utas halmaz kezelésű, írás áteresztő, 64 bájtos gyorsító sor. (utasítás) nyomkövető tár akár 12000 dekódolt  $\mu$ művelet tárolására.

**L2: 256 KB – 1 MB**, egyesített, 8 utas halmaz kezelésű, késleltetve visszaíró, 128 bájtos gyorsító sor. Előre betöltő egység.

Az Extrem Edition-ban **2 MB** (közös) **L3** is van. Multiprocesszoros rendszerekhez szimatolás - snoop.

Máté: Architektúrák 9. előadás 2

### Szimatolás – snoop

Minden processzornak van saját gyorsító tára.

Minden processzor figyeli a sínen a többi processzor memóriához fordulásait (szimatol). Ha valamelyik processzor olyan adatot kér, amely bent van valamely másik processzor gyorsító tárában, akkor ez a másik processzor a saját gyorsító tárából megadja a kért adatot, és letiltja a memóriához fordulást.

Máté: Architektúrák 9. előadás 3

### Szimatolás – snoop

Ha minden processzornak **saját** írás áteresztő gyorsító tára van (**8.25. ábra**)

| Esemény         | Saját processzor                     | Többi processzor   |
|-----------------|--------------------------------------|--|
| Olvasás hiány   | Olvasás a memóriából                 | Szimatolás   |
| Olvasás találat | Olvasás a gyorsító tárból            |  |
| Írás hiány      | Írás a memóriába                     | Ha az írandó szó a gyorsító tárban van, akkor érvényteleníti a gyorsító tár bejegyzést |
| Írás találat    | Írás a gyorsító tárba és a memóriába |  |

A **Pentium 4** esetén **L1** az írás áteresztő gyorsító tár, a késleltetve visszaíró **L2** a „memória”.

Máté: Architektúrák 9. előadás 4

### Pentium 4 memória sín

A memóriaigények, tranzakciók 6 állapota: 6 fázisú csővezeték (**3.45. ábra** bal oldal) fázisonként külön vezérlő vonalakkal (amint a mester megkap valamit, elengedi a vonalakat):

0. **Sín ütemezés (kiosztás, bus arbitration):** eldől, hogy melyik sínmester következik,
1. **Kérés:** cím a sínre, kérés indítása,
2. **Hibajelzés:** a szolga hibát jelez(het),
3. **Szimatolás,**
4. **Válasz:** kész lesz-e az adat a következő ciklusban,
5. **Adat:** megvan az adat.

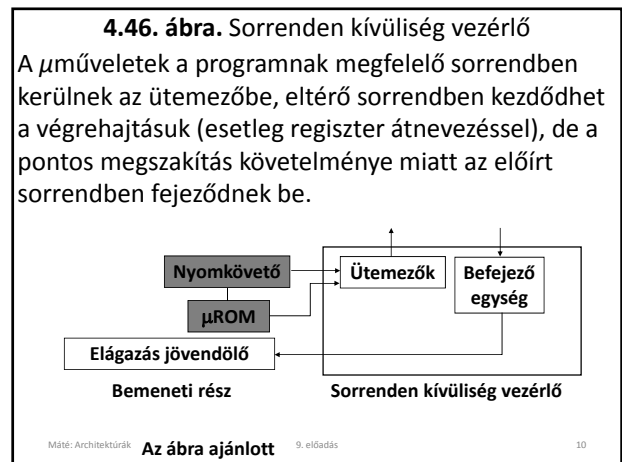
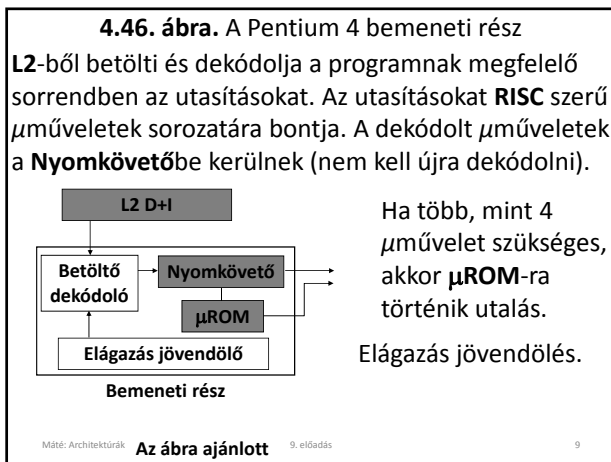
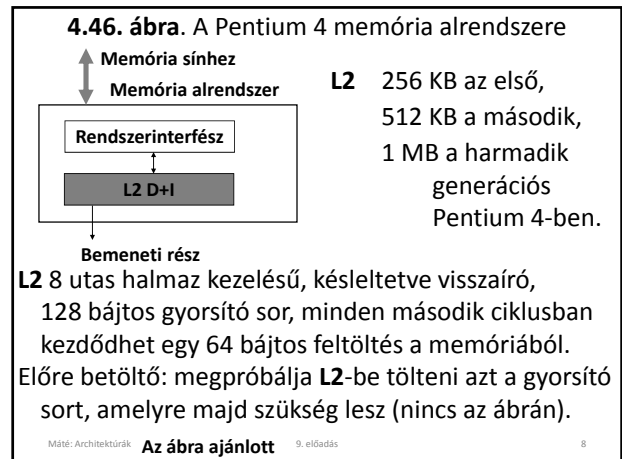
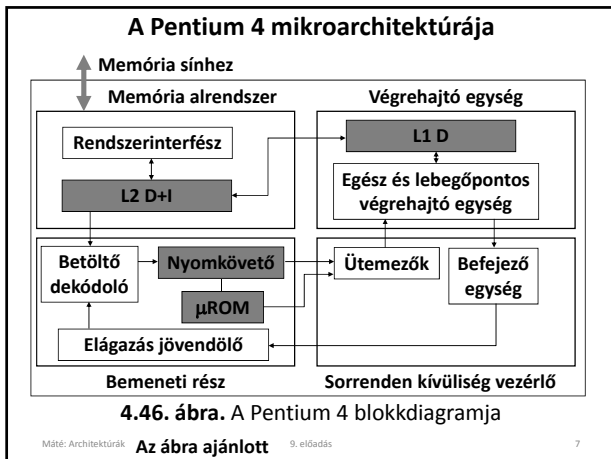
Máté: Architektúrák 9. előadás 5

### Pentium 4 memória sín csővezetéke (3.46. ábra)

| $\Phi$ :   | T <sub>1</sub> | T <sub>2</sub> | T <sub>3</sub> | T <sub>4</sub> | T <sub>5</sub> | T <sub>6</sub> | T <sub>7</sub> | T <sub>8</sub> | T <sub>9</sub> | T <sub>10</sub> | T <sub>11</sub> | T <sub>12</sub> |
|------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|
| tranzakció |                |                |                |                |                |                |                |                |                |                 |                 |                 |
| 1          | K              | H              | S              | V              | A              |                |                |                |                |                 |                 |                 |
| 2          |                | K              | H              | S              | V              | A              |                |                |                |                 |                 |                 |
| 3          |                |                | K              | H              | S              | V              | A              |                |                |                 |                 |                 |
| 4          |                |                |                | K              | H              | S              | V              | A              |                |                 |                 |                 |
| 5          |                |                |                |                | K              | H              | S              | V              | A              |                 |                 |                 |
| 6          |                |                |                |                |                | K              | H              | S              | V              | A               |                 |                 |
| 7          |                |                |                |                |                |                | K              | H              | S              | V               | A               |                 |

Ütemezés (nem ábráztuk), csak akkor kell, ha másé a sín.  
**K:** kérés, **H:** hiba, **S:** szimatolás, **V:** válasz, **A:** adat

Máté: Architektúrák 9. előadás 6



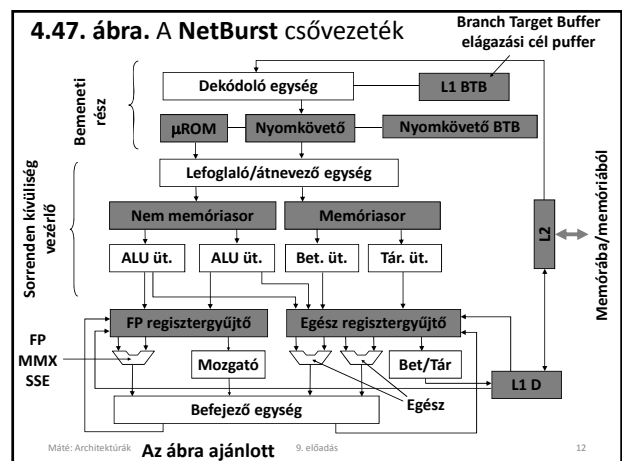
### Megszakítás

A (program) megszakítás azt jelenti, hogy az éppen futó program végrehajtása átmenetileg megszakad – a processzor állapota megőrződik, hogy a program egy későbbi időpontban folytatódhassék – és a processzor egy másik program, az úgynevezett **megszakítás kezelő** végrehajtását kezdi meg.

#### A pontos megszakítás követelménye

A megszakítás előtti összes utasítás befejeződött, az utána következőkből egy sem kezdődött el.

Máté: Architektúrák 9. előadás 11



A dekódoló egység az utasításokat L2-ből kapja. Ezeket RISC szerű műveletekre bontja, és a nyomkövető gyorsító tárban tárolja (akár 12 K műveletet) a programnak megfelelő sorrendben. 6 műveletet csoportosít minden nyomkövető sorba.

Máté: Architektúrák **Az ábra ajánlott** 9. előadás 13

Feltételes elágazásnál az utolsó 4K elágazást tartalmazó L1 BTB-ből (Branch Target Buffer – elágazási cél puffer) kikeresi a jövődölt címet, és onnan folytatja a dekódolást. Ha az elágazás nem szerepel L1 BTB-ben, akkor statikus jövődöltés történik: visszafelé ugrást végre kell hajtani, előre ugrást nem.

Máté: Architektúrák **Az ábra ajánlott** 9. előadás 14

A Nyomkövető BTB az elágazó műveletek célcímét jövődöli. A dekódoló egységből ciklusonként három művelet kerül a lefoglaló/átnevező egység ROB (ReOrder Buffer, átrendező puffer) nevű táblájába. Ez a tábla 128 bejegyzést tartalmazhat.

Máté: Architektúrák **Az ábra ajánlott** 9. előadás 15

A Lefoglaló/átnevező egység a két sor megfelelőjébe teszi a végrehajtható műveleteket. Az ALU-k az órajel kétszeres sebességével dolgoznak, nehéz folyamatosan munkát adni nekik. Minden órajel ciklusban egy betöltés és egy tárolás is végrehajtható.

Máté: Architektúrák **Az ábra ajánlott** 9. előadás 16

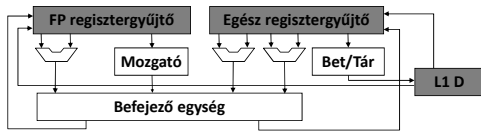
Ha egy művelet minden inputja rendelkezésre áll, akkor az esetleges WAR vagy WAW függőséget a 120 firkáló regiszter segítségével kiküszöböli. RAW függőség esetén a műveletet várakoztatja, és a rákövetkező műveleteket kezdi feldolgozni. Egyszerre akár 126 utasítás feldolgozása is folyamatban lehet, köztük 48 betöltés és 24 tárolás. Az utasítások a programnak megfelelő sorrendben kerülnek az ütemezőbe, eltérő sorrendben kezdődhet a végrehajtásuk, de az előírt sorrendben fejeződnek be (pontos megszakítás követelménye).

Máté: Architektúrák 9. előadás 17

Mindkét regisztergyűjtő 128 regisztert tartalmaz, időben változik, hogy melyikben van EAX, ... Az egyik egész aritmetikájú ALU az összes logikai, aritmetikai, és elágazó, a másik csak az összeadó, kivonó, léptető és forgató utasítás végrehajtására képes.

Máté: Architektúrák **Az ábra ajánlott** 9. előadás 18

A befejező egység feladata, hogy az utasítások a programnak megfelelő sorrendben fejeződjenek be. Nem lehet **L1**-et módosítani, amíg a tárolást megelőző műveletek be nem fejeződtek (24 bejegyzéses tároló puffer), de ha egy betöltő utasítás onnan akar olvasni, ahova egy korábbi tárolt, akkor a tárolások pufferéből megkaphatja a kért adatot (tárolás utáni betöltés).



Máté: Architektúrák **Az ábra ajánlott** 9. előadás 19

**UltraSPARC III (2000)**

64 bites RISC gép, felülről kompatibilis a 32 bites **SPARC V8** architektúrával és az **UltraSPARC I, II**-vel. Új a **VIS 2.0** utasításkészlet (3D grafikus alkalmazásokhoz, tömörítéshez, hálózat kezeléshez, jelfeldolgozáshoz, stb.).

Több processzoros alkalmazásokhoz készült. Az összekapcsoláshoz szükséges elemeket is tartalmazza.

2000-ben 0.6, 2001-ben 0.9, 2002-ben 1.2 GHz, órajel ciklusonként 4 utasítást tud kiosztani.

Máté: Architektúrák 9. előadás 20

**UltraSPARC III**

**CPU** 29 millió tranzistor, 4 **CPU** közös memóriával használható. 1368 láb (**3. 47. ábra**). 64 (jelenleg csak **43**) bites cím és 128 bites adat lehetséges (több helyen ellentmondó adatok vannak a könyvben, az új kiadásban néhol benmaradtak az **UltraSPARC II**-re vonatkozó adatok).

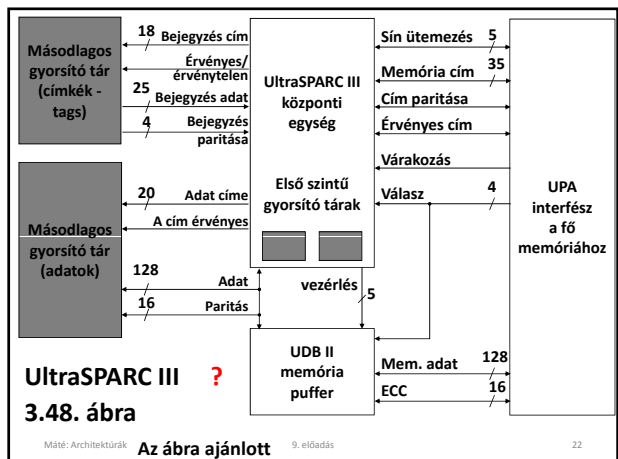
**Belső gyorsító tár (32 KB utasítás + 64 KB adat, gyorsító sor 32 B).**

**2 KB** előre betöltő és tároló gyorsító tár **L2** eléréséhez.

Az **L2** gyorsító tár osztott, külső **1, 4** vagy **8 MB**

A gyorsító sor mérete **64, 256** illetve **512 B**

Máté: Architektúrák 9. előadás 21



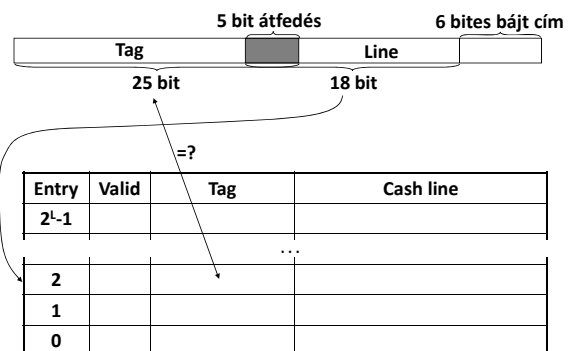
**UltraSPARC III ?**  
**3.48. ábra**

Máté: Architektúrák **Az ábra ajánlott** 9. előadás 22

Az **UltraSPARC II**-nél **0.5-16 MB**-os az **L2** tár és **8K - 256K** db **64 B**-os gyorsító sor (cache line) lehet. A gyorsító sor címzéséhez **13 - 18** bit szükséges. A **CPU** mindig **18** bites **Line** címet (**Bejegyzés cím**) ad át. Csak maximális méret esetén van kihasználva mind a **18** bit címzésre.

Máté: Architektúrák 9. előadás 23

A cím 64 bit-es, de egyelőre 44 bit-re korlátozva van



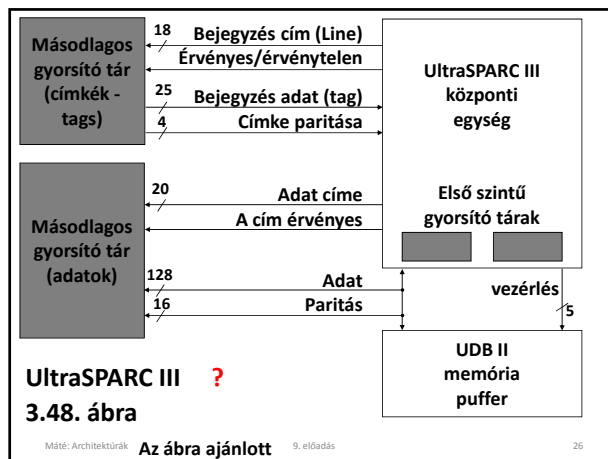
Máté: Architektúrák 9. előadás 24

512 KB-os gyorsító tár esetén a 44 bites cím felosztása:  
**Tag: 25 bit, Line: 13 bit, bájt cím: 6 bit = 44 bit.**  
 16 MB-os tár esetén 18 bites Line kell, és 20 bites Tag (Bejegyzés adat) is elég lenne, de ilyenkor – hogy a CPU egységesen működhessen – a gyorsító tárban tárolt 20 bites Tag-et a gyorsító tár kiegészíti Line 5 legmagasabb helyértékű bitjével.  
 Az Adat címe a gyorsító sor címén (Bejegyzés cím, Line) kívül még 2 bitet tartalmaz, mert egy átvitel során a gyorsító sornak csak negyed része (16 bájt) mozgatható.

Máté: Architektúrák

9. előadás

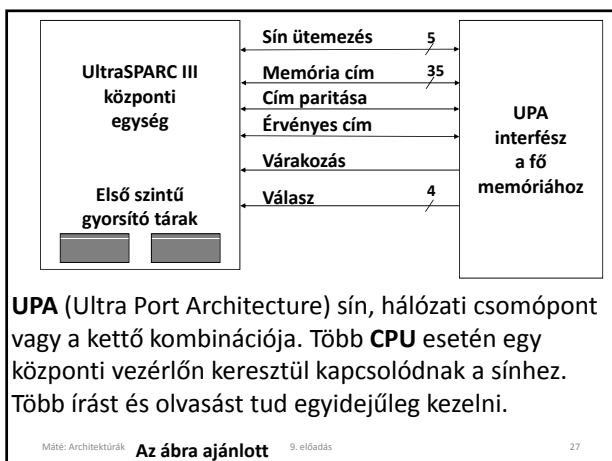
25



Máté: Architektúrák **Az ábra ajánlott**

9. előadás

26



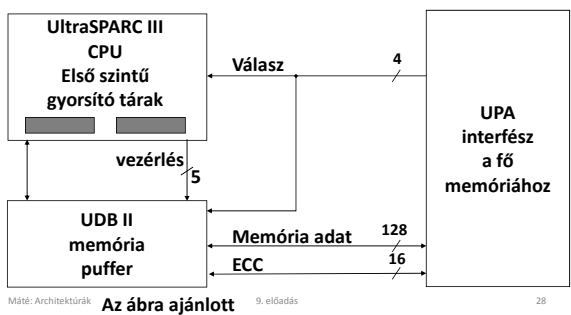
Máté: Architektúrák

**Az ábra ajánlott**

9. előadás

27

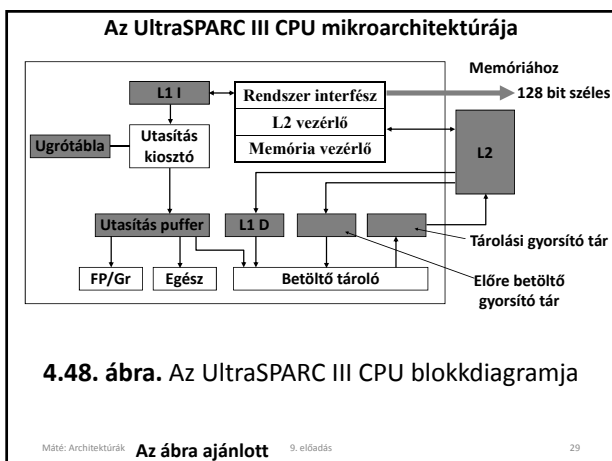
**UDB II (UltraSPARC Data Buffer II):** ezen keresztül zajlik a memória és a gyorsító tárok közötti adatforgalom. Az adatsín 150 MHz-es 128 bit széles szinkron sín, így a sávszélesség 2.4 GB/s.



Máté: Architektúrák **Az ábra ajánlott**

9. előadás

28

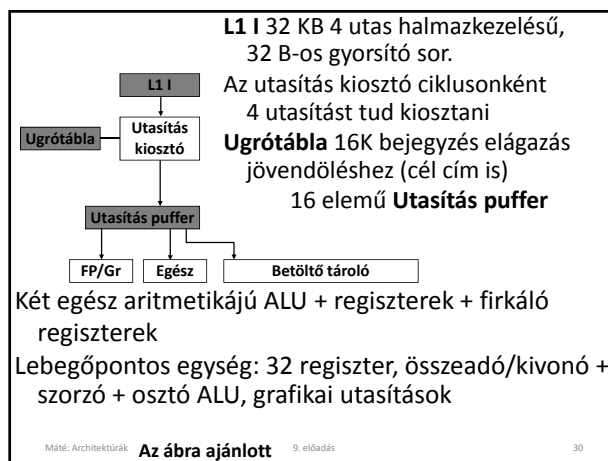


Máté: Architektúrák

**Az ábra ajánlott**

9. előadás

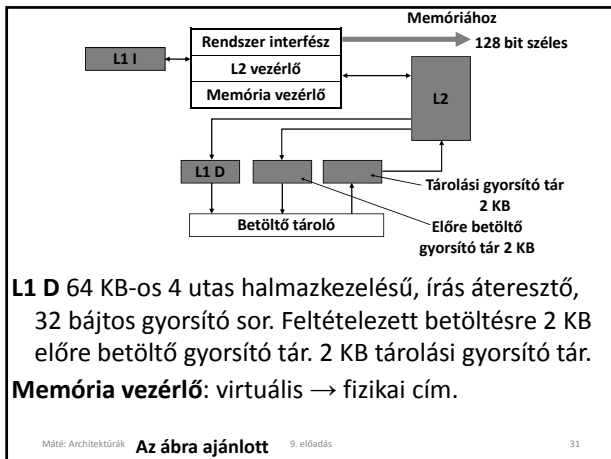
29



Máté: Architektúrák **Az ábra ajánlott**

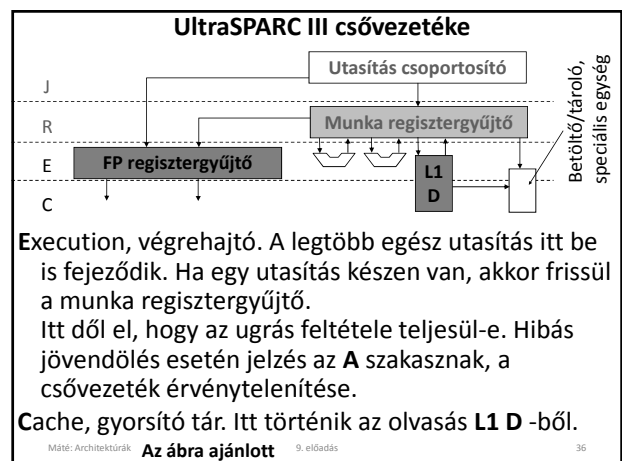
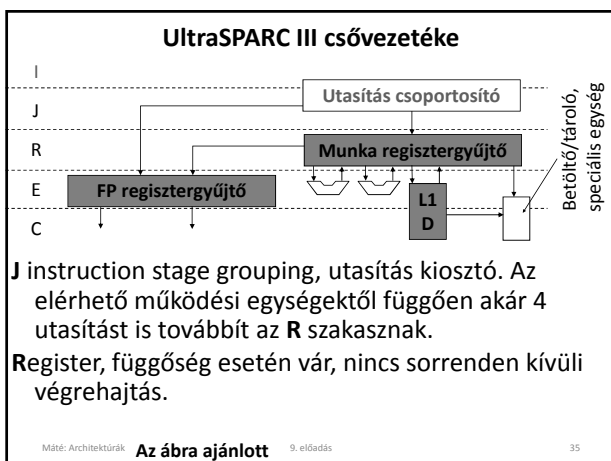
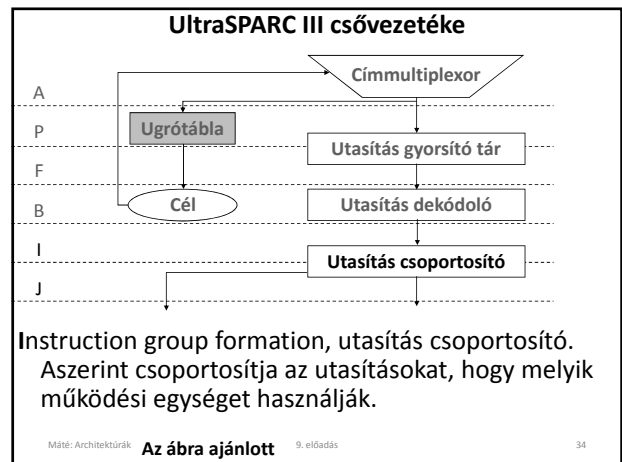
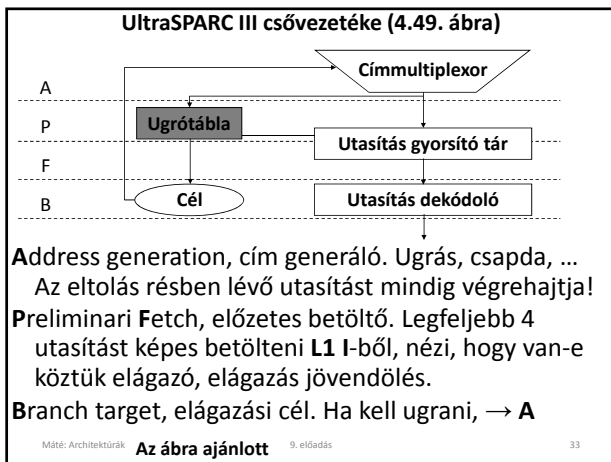
9. előadás

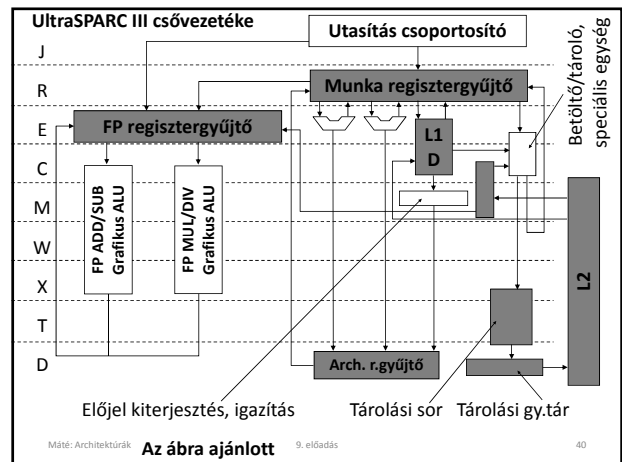
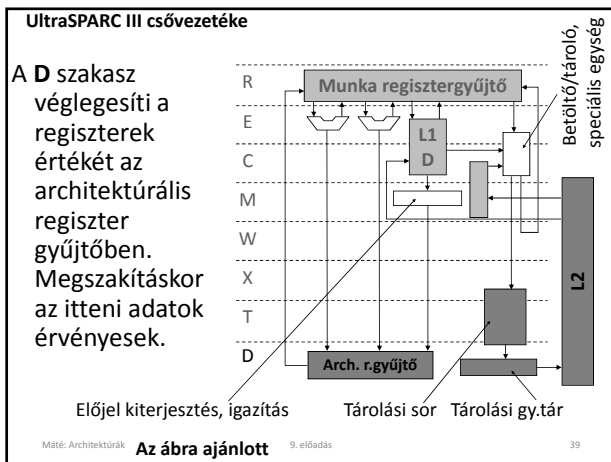
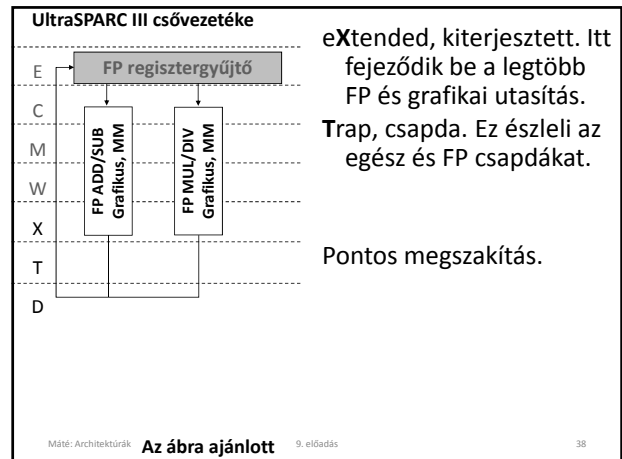
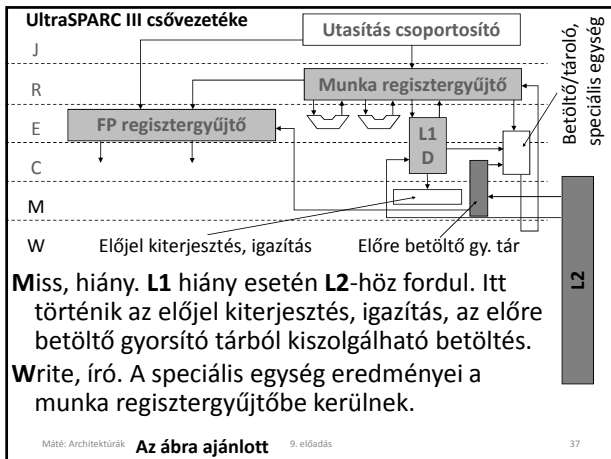
30



**UltraSPARC III CPU mikroarchitektúrája**  
 A SPARC sorozat RISC elgondoláson alapul. A legtöbb utasításnak két forrás és egy cél regisztere van.  
 Előre betöltés:  
 speciális utasításokkal,  
 és a visszafelé kompatibilitás miatt hardveresen is.  
 2 bites elágazás jövendölő + statikus elágazás jövendölés.

Máté: Architektúrák 9. előadás 32





**I-8051 (1980)**

**Cél:** beépített rendszerekben való alkalmazás.

**Fő szempont:** olcsóság (ma már 10-15 €), sokoldalú alkalmazhatóság.

A memóriával, be- és kivitellel együtt egyetlen lapkára integrált számítógép. Mikrovezérlő.

Évenként 8 milliárd mikrovezérlőt adnak el, a legnépszerűbb az MCS-51-es család. A család tagjai nagyon hasonlóak.

Máté: Architektúrák 9. előadás 41

**I-8051 (1980)**

40 multiplexelt lábú standard tokban kerül forgalomba.

60 000 tranzisztor.

4 KB ROM, max. 64 KB külső memória, 128 B RAM.

16 címvezeték.

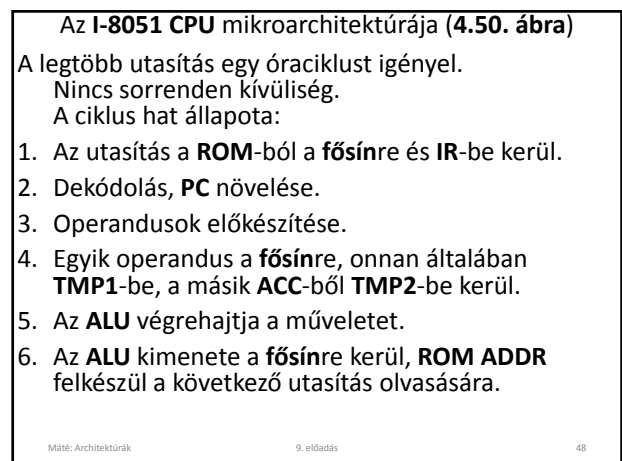
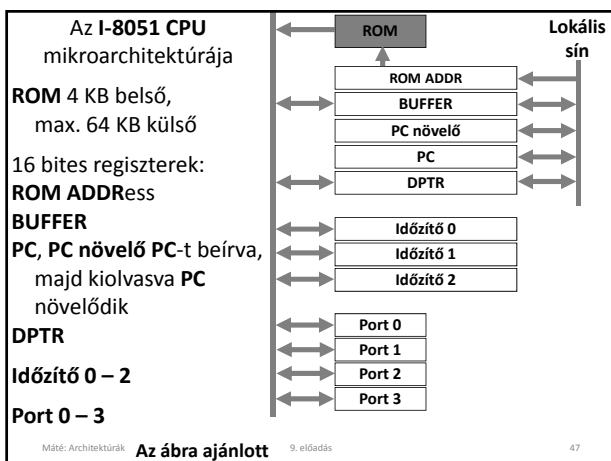
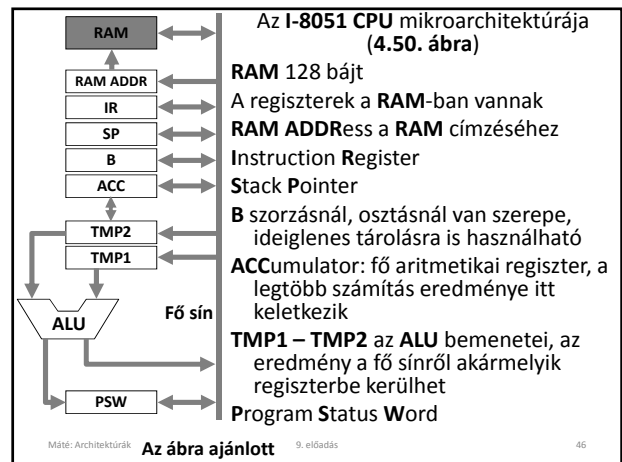
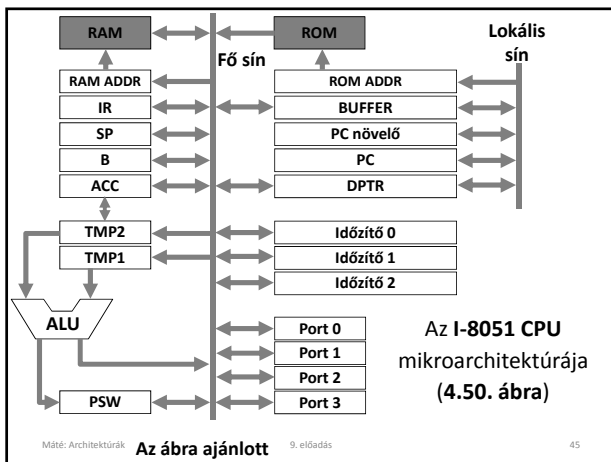
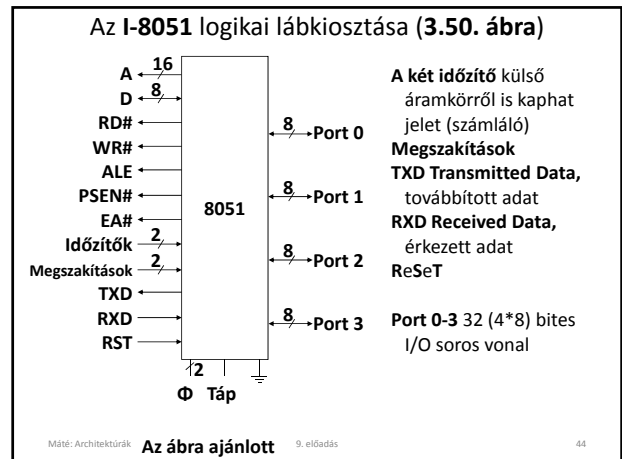
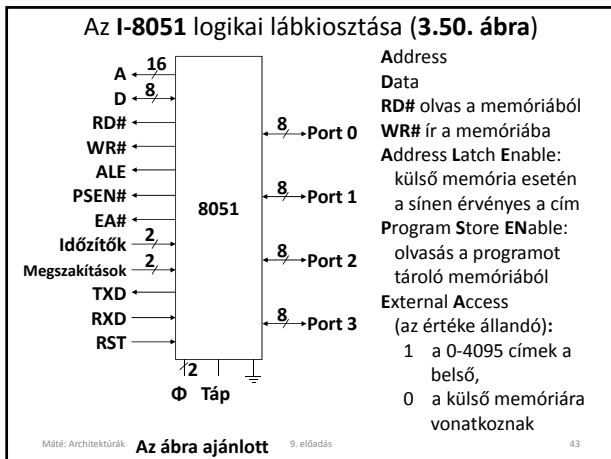
8 bites adat sín.

32 I/O vonal 4 db 8 bites csoportba rendezve, ezek mindegyike hozzákötethető nyomógombhoz, kapcsolóhoz, LED-hez, ...

Időzítők.

Pl. Digitális óra: nyomógombok, kapcsolók, kijelző.

Máté: Architektúrák 9. előadás 42





**Összehasonlítás**

**Pentium 4**      **CISC** gép  
 egy **CISC** utasítás → több **RISC** mikROUTASÍTÁS

**UltraSPARC III**    **RISC** gép

**I-8051**                      inkább **RISC**, mint **CISC** gép

**picoJava II**          verem gép, sok memória hivatkozás  
 több **CISC** utasítás → egy **RISC** mikROUTASÍTÁS

Máté: Architektúrák

9. előadás

49

**Feladatok**

Hogy érvényesül a **RISC** elv a **Pentium 4** esetén?  
 Milyen gyorsító tárat használ a **Pentium 4**?  
 Jellemezze a **Pentium 4 L2** gyorsító tárat!  
 Mire szolgál az előre betöltő?  
 Mit jelent a szimatolás?  
 Milyen sorrendben dekódolja a **Pentium 4** az utasításokat?  
 Mire szolgál a **µROM**?

Máté: Architektúrák

9. előadás

50

**Feladatok**

Mire szolgál a nyomkövető gyorsító tár?  
 Milyen elágazás jövedőlést használ a **Pentium 4**?  
 Mire szolgál az **L1 BTB**?  
 Mire szolgál a nyomkövető **BTB**?  
 Milyen sorrendben kezdődik az utasítások végrehajtása a **Pentium 4**-en?

Máté: Architektúrák

9. előadás

51

**Feladatok**

Mire szolgál a **Pentium 4** lefoglaló/átnevező egysége?  
 Mire szolgálnak a regiszter gyűjtők?  
 Milyen sorrendben fejeződik be az utasítások végrehajtása a **Pentium 4**-en?  
 Mi a különbség a **Pentium 4** két egész aritmetikájú **ALU**-ja között?  
 Miért nem írható azonnal az eredmény **L2**-be?  
 Mit jelent a pontos megszakítás kifejezés?  
 Milyen problémát okozhat a tárolás utáni betöltés?

Máté: Architektúrák

9. előadás

52

**Feladatok**

Hogy működik az **UltraSPARC III** másodlagos gyorsító tára?  
 Mire szolgál az **UPA** (Ultra Port Architecture)?  
 Mire szolgál az **UDB II** (UltraSPARC Data Buffer II)?  
 Milyen szervezésű az **UltraSPARC III L1 I** gyorsító tára?  
 Mire szolgál a munka regisztergyűjtő?  
 Mire szolgál az architektúrális regisztergyűjtő?  
 Mire szolgál az előre betöltő gyorsító tár?  
 Mire szolgál a tárolási sor?  
 Mire szolgál a tárolási gyorsító tár?

Máté: Architektúrák

9. előadás

53

**Feladatok**

Mire szolgál az **UltraSPARC III** ugrótáblája?  
 Milyen elágazás jövedőlést használ az **UltraSPARC III**?  
 Mit nevezünk eltolás résznek?  
 Hogy kezeli az **UltraSPARC III** az eltolás részt?  
 Mire szolgál az utasítás csoportosító egység?  
 Hány **ALU** van az **UltraSPARC III**-ban?  
 Hogy kezeli az **UltraSPARC III** a függőségeket?

Máté: Architektúrák

9. előadás

54

**Feladatok**

Mi az **I-8051** fő alkalmazási területe?  
 Nagyságrendileg milyen árú egy **I-8051**?  
 Jellemezze az **I-8051**-et!  
 Mi a **RAM**?  
 Mi a **ROM**?  
 Hány bites a **RAM ADDR** regiszter?  
 Hány bites a **ROM ADDR** regiszter?  
 Mekkora az **I-8051 RAM**-ja?  
 Mekkora az **I-8051 ROM**-ja?  
 Mire szolgál az **IR, SP, B, ACC, TMP1-2** regiszter?  
 Mi a **PSW**?  
 Hogy történik **PC** növelése?

Máté: Architektúrák

9. előadás

55

**Feladatok**

Milyen és hány be/kimenete van az **I-8051**-nek?  
 Mire használhatók az **I-8051** be/kimenetei?  
 Hány időzítője van az **I-8051**-nek?  
 Mire használhatók az **I-8051** időzítői?  
 Mik az **I-8051 ALU**-jának bemenetei?  
 Milyen állapotai vannak az óraciklusának?  
 Jellemezze a **CISC** gépeket!  
 Jellemezze a **RISC** gépeket!  
**CISC** vagy **RISC** gép a **Pentium 4**?  
**CISC** vagy **RISC** gép az **UltraSPARC III**?  
**CISC** vagy **RISC** gép az **I-8051**?  
 Hasonlítsa össze a **Pentium 4**-et, az **UltraSPARC III**-at  
 és az **I-8051**-et!

Máté: Architektúrák

9. előadás

56

**Az előadáshoz kapcsolódó****Fontosabb témák**

A **Pentium 4** processzor, a **Pentium 4**  
 mikroarchitektúrája  
 A **NetBurst** csővezeték  
 Az **UltraSPARC III** processzor és az **UltraSPARC III**  
 mikroarchitektúrája, csővezetéke  
 Az **I-8051** processzor és az **I-8051** mikroarchitektúrája  
 A **Pentium 4**, az **UltraSPARC III** és az **I-8051**  
 mikroarchitektúrájának összehasonlítása

Máté: Architektúrák

9. előadás

57