

Pentium 4 memória sín

A memóriaigények, tranzakciók 6 állapota:
6 fázisú csővezeték (3.45. ábra bal oldal)
fázisonként külön vezérlő vonalakkal (amint a mester megkap valamit, elengedi a vonalakat):

0. **Sín ütemezés (kiosztás, bus arbitration):**
eldől, hogy melyik sínmaster következik,
1. **Kérés:** cím a sínre, kérés indítása,
2. **Hibajelzés:** a szolga hibát jelez(het),
3. **Szimatolás,**
4. **Válasz:** kész lesz-e az adat a következő ciklusban,
5. **Adat:** megvan az adat.

Máté: Architektúrák

8. előadás

1

Pentium 4 memória sín csővezetéke (3.46. ábra)

	Φ	T ₁	T ₂	T ₃	T ₄	T ₅	T ₆	T ₇	T ₈	T ₉	T ₁₀	T ₁₁	T ₁₂
tranzakció													
1		K	H	S	V	A							
2			K	H	S	V	A						
3				K	H	S	V	A					
4					K	H	S	V	A				
5					K	H	S	V	A				
6						K	H	S	V	A			
7							K	H	S	V	A		

Ütemezés (nem ábrázoltuk), csak akkor kell, ha másé a sín.

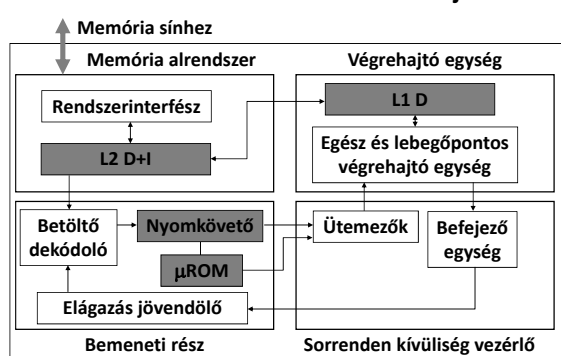
K: kérés, H: hiba, S: szimatolás, V: válasz, A: adat

Máté: Architektúrák

8. előadás

2

A Pentium 4 mikroarchitektúrája



4.46. ábra. A Pentium 4 blokkdiagramja

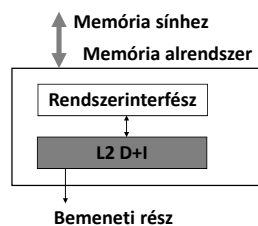
Máté: Architektúrák

Az ábra ajánlott

8. előadás

3

4.46. ábra. A Pentium 4 memória alrendszere



L2 256 KB az első,
512 KB a második,
1 MB a harmadik
generációs
Pentium 4-ben.

Bemeneti rész
L2 8 utas halmaz kezelésű, késleltetve visszaíró,
128 bájtos gyorsító sor, minden második ciklusban
kezdődhet egy 64 bájtos feltöltés a memóriából.
Előre betöltő: megpróbálja betölteni azt a gyorsító
sort, amelyre majd szükség lesz (nincs az ábrán).

Máté: Architektúrák

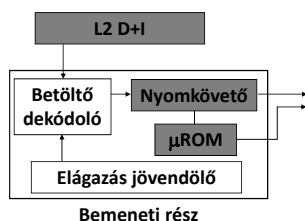
Az ábra ajánlott

8. előadás

4

4.46. ábra. A Pentium 4 bemeneti rész

L2-ből betölti és dekódolja a programnak megfelelő
sorrendben az utasításokat. Az utasításokat **RISC** szerű
 μ műveletek sorozatára bontja. A dekódolt μ műveletek
a **Nyomkövető**be kerülnek (nem kell újra dekódolni).



Ha több, mint 4
 μ művelet szükséges,
akkor μ ROM-ra
történik utalás.
Elágazás jövődölés.

Máté: Architektúrák

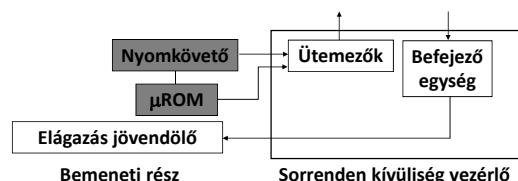
Az ábra ajánlott

8. előadás

5

4.46. ábra. Sorrenden kívülség vezérlő

A μ műveletek a programnak megfelelő sorrendben
kerülnek az ütemezőbe, eltérő sorrendben kezdődhet
a végrehajtásuk (esetleg regiszter átnevezéssel), de a
pontos megszakítás követelménye miatt az előírt
sorrendben fejeződnek be.



Máté: Architektúrák

Az ábra ajánlott

8. előadás

6

Megszakítás

A (program) megszakítás azt jelenti, hogy az éppen futó program végrehajtása átmenetileg megszakad – a processzor állapota megőrződik, hogy a program egy későbbi időpontban folytatódhassék – és a processzor egy másik program, az úgynevezett **megszakítás kezelő** végrehajtását kezdi meg.

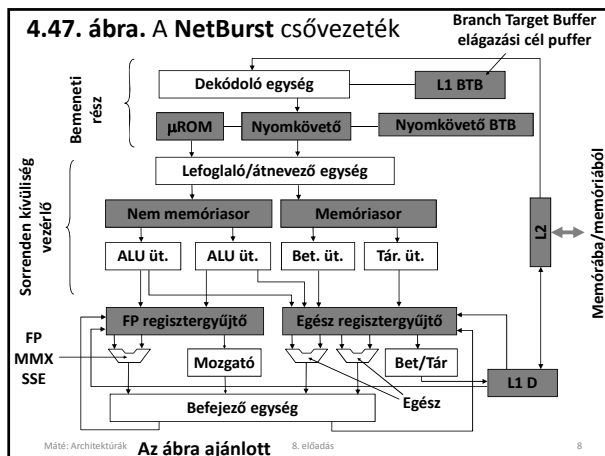
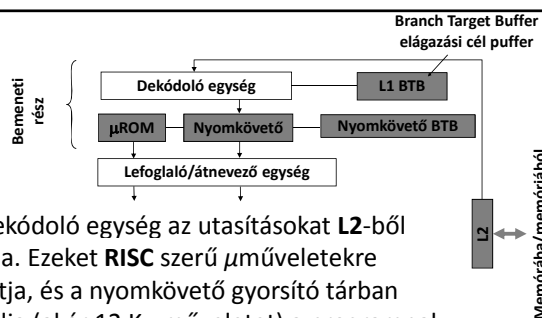
A pontos megszakítás követelménye

A megszakítás előtti összes utasítás befejeződött, az utána következőkből egy sem kezdődött el.

Máté: Architektúrák

8 előadás

4.47. ábra. A NetBurst csővezeték

Máté: Architektúrák **Az ábra aiánlott**8. $\frac{1}{2}$ 

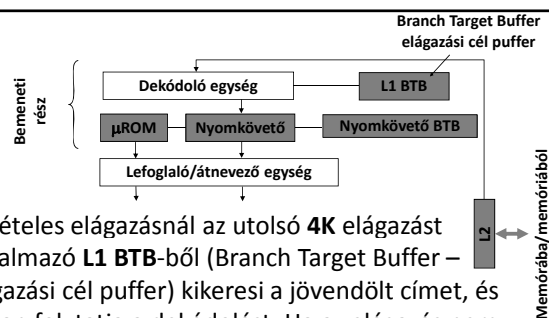
A dekódoló egység az utasításokat **L2**-ből kapja. Ezeket **RISC** szerű μ műveletekre bontja, és a nyomkövető gyorsító tárban tárolja (akár 12 K μ műveletet) a programnak megfelelő sorrendben.

6 μ műveletet csoportosít minden nyomkövető sorba.

Máté: Architektúrák

Az ábra aiánlott

8. előadás

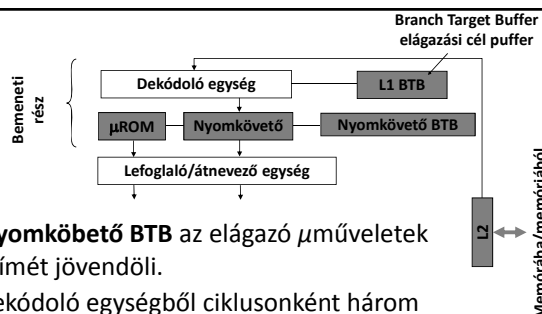


Feltételes elágazásnál az utolsó **4K** elágazást tartalmazó **L1 BTB**-ből (Branch Target Buffer – elágazási cél puffer) kikeresi a jövődölt címet, és onnan folytatja a dekódolást. Ha az elágazás nem szerepel **L1 BTB**-ben, akkor statikus jövődölés történik: visszafelé ugrást végre kell hajtani, előre ugrást nem.

Máté: Architektúrák

Az ábra aiánlott

8. előadás



A **Nyomkövető BTB** az elágazó műveletek célcímét jövendőli.

A dekódoló egységből ciklusonként három művelet kerül a lefoglaló/átnevező egység **ROB** (ReOrder Buffer, átrendező puffer) nevű táblájába. Ez a tábla 128 bejegyzést tartalmazhat.

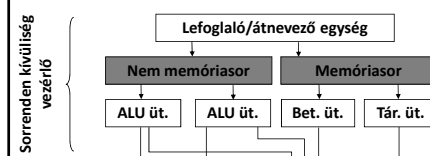
Máté: Architektúrák

Az ábra aiánlott

8. előadás

11

A **Lefoglaló/átnevező egység** a két sor megfelelőjébe teszi a végrehajtható műveleteket, ha nincs **RAW** függőség. Az ALU-k az órajel kétszeres sebességével dolgoznak, nehéz folyamatosan munkát adni nekik.



Minden órajel ciklusban egy betöltés és egy tárolás is végrehaitható.

Máté: Architektúrák

Az ábra aiánlott

8 előadás

Ha egy μ művelet minden inputja rendelkezésre áll, akkor az esetleges **WAR** vagy **WAW** függőséget a 120 firkáló regiszter segítségével kiküszöböli.

RAW függőség esetén a μ műveletet várakoztatja, és a rákövetkező μ műveleteket kezdi feldolgozni.

Egyszerre akár 126 utasítás feldolgozása is folyamatban lehet, köztük 48 betöltés és 24 tárolás.

Az utasítások a programnak megfelelő sorrendben kerülnek az ütemezőbe, eltérő sorrendben kezdődhet a végrehajtásuk, de az előírt sorrendben fejeződnek be a pontos megszakítás követelménye miatt.

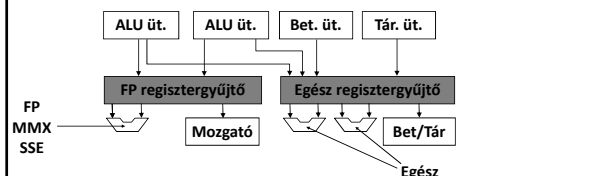
Máté: Architektúrák

8. előadás

13

Mindkét regisztergyűjtő 128 regisztert tartalmaz, időben változik, hogy melyikben van **EAX**, ...

Az egyik egész aritmetikájú **ALU** az összes logikai, aritmetikai és elágazó, a másik csak az összeadó, kivonó, léptető és forgató utasítás végrehajtására képes.



Máté: Architektúrák

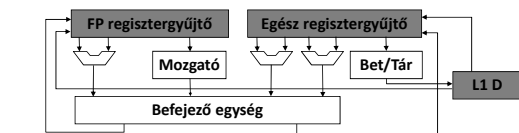
Az ábra ajánlott

8. előadás

14

A befejező egység feladata, hogy az utasítások a programnak megfelelő sorrendben fejezzenek be.

Nem lehet **L1**-et módosítani, amíg a tárolást megelőző műveletek be nem fejeződtek (24 bejegyzéses tároló puffer), de ha egy betöltő utasítás onnan akar olvasni, ahova egy korábbi tárolt, akkor a tárolások pufferéből megkaphatja a kért adatot (tárolás utáni betöltés).



Máté: Architektúrák

Az ábra ajánlott

8. előadás

15

UltraSPARC III (2000)

64 bites **RISC** gép, felülről kompatibilis a 32 bites **SPARC V8** architektúrával és az **UltraSPARC I, II**-vel. Új a **VIS 2.0** utasításkészlet (3D grafikus alkalmazásokhoz, tömörítéshez, hálózat kezeléshez, jelfeldolgozáshoz, stb.).

Több processzoros alkalmazásokhoz készült. A legtöbb összekapcsoláshoz szükséges elemet is tartalmazza.

2000-ben 0.6, 2001-ben 0.9, 2002-ben 1.2 GHz, órajel ciklusonként 4 utasítást tud **kiosztani**.

Máté: Architektúrák

8. előadás

16

UltraSPARC III

CPU 29 millió tranzisztor, 4 **CPU** közös memóriával használható. 1368 láb (**3. 47. ábra**). 64 (jelenleg csak **43**) bites cím lehetséges (több helyen ellentmondó adatok vannak a könyvben, az új kiadásban néhol bennmaradtak az **UltraSPARC II**-re vonatkozó adatok), 128 bites (16 byte) az adatsín.

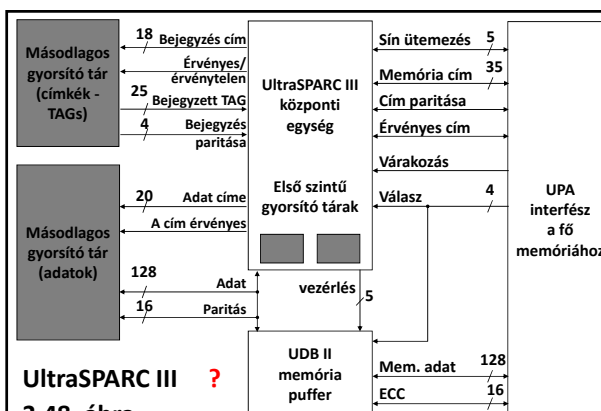
Belső gyorsító tár (32 KB utasítás + 64 KB adat, gyorsító sor 32 B).

2 KB előre betöltő és tároló gyorsító tár L2 eléréséhez. Az **L2** gyorsító tár osztott, külső **1, 4** vagy **8 MB** A gyorsító sor mérete **64, 256** illetve **512 B**

Máté: Architektúrák

8. előadás

17



UltraSPARC III
3.48. ábra

Máté: Architektúrák

Az ábra ajánlott

8. előadás

18

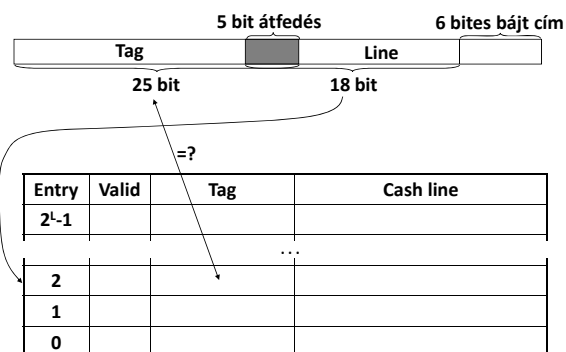
Az **UltraSPARC II**-nél **0.5-16 MB**-os az **L2** tár, a gyorsító sor (cache line) **64 B**-os. Ennek megfelelően **8K - 256K** db gyorsító sor lehetséges. A gyorsító sor címzéséhez **13 – 18** bit szükséges. A **CPU** mindig **18** bites **Line** címet (**Bejegyzés cím**) ad át. Csak maximális méret esetén van kihasználva mind a **18** bit címzésre.

Máté: Architektúrák

8. előadás

19

A cím 64 bit-es, de egyelőre 44 bit-re korlátozva van



Máté: Architektúrák

8. előadás

20

512 KB-os gyorsító tár esetén a **44** bites cím felosztása:

Tag: 25 bit, Line: 13 bit, bájt cím: 6 bit = 44 bit.

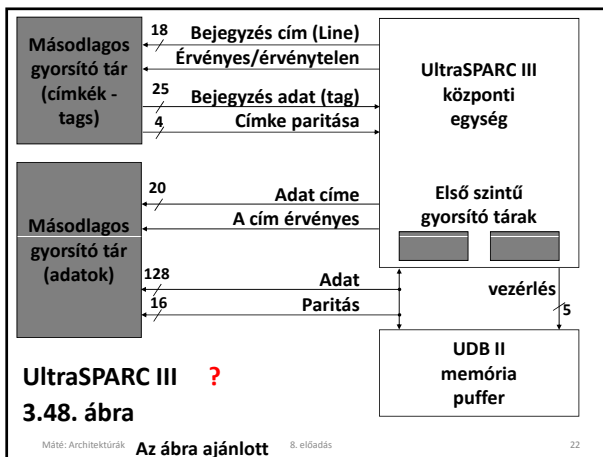
16 MB-os tár esetén **18** bites **Line** kell, és **20** bites **Tag** (**Bejegyzés adat**) is elég lenne, de ilyenkor – hogy a **CPU** egységesen működhessen – a gyorsító tárban tárolt **20** bites **Tag**-et a gyorsító tár kiegészíti **Line 5** legmagasabb helyértékű bitjével.

Az **Adat címe** a gyorsító sor címen (**Bejegyzés cím, Line**) kívül még **2** bitet tartalmaz, mert egy átvitel során a gyorsító sornak csak negyed része (**16** bájt) mozgatható.

Máté: Architektúrák

8. előadás

21

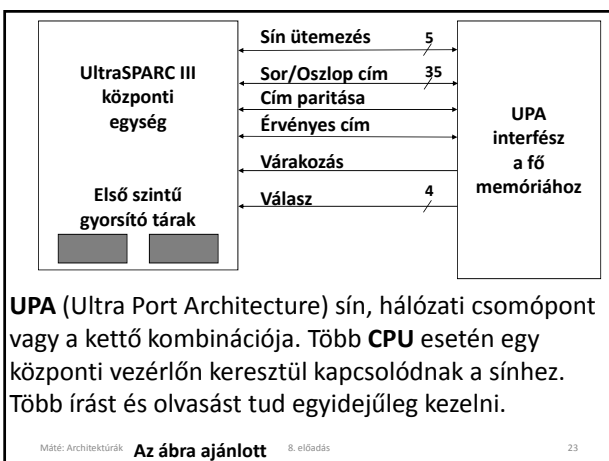


Máté: Architektúrák

Az ábra ajánlott

8. előadás

22



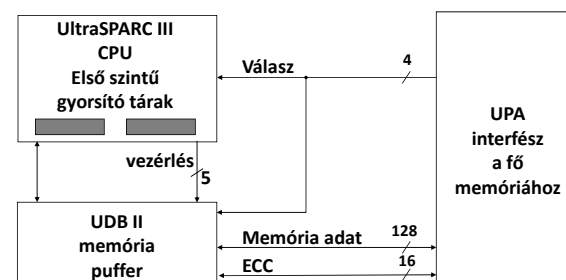
Máté: Architektúrák

Az ábra ajánlott

8. előadás

23

UDB II (UltraSPARC Data Buffer II): ezen keresztül zajlik a memória és a gyorsító tárok közötti adatforgalom. Az adatsín **150 MHz**-es 128 bit (16 B) széles szinkron sín, így a sávszélesség 2.4 GB/s.

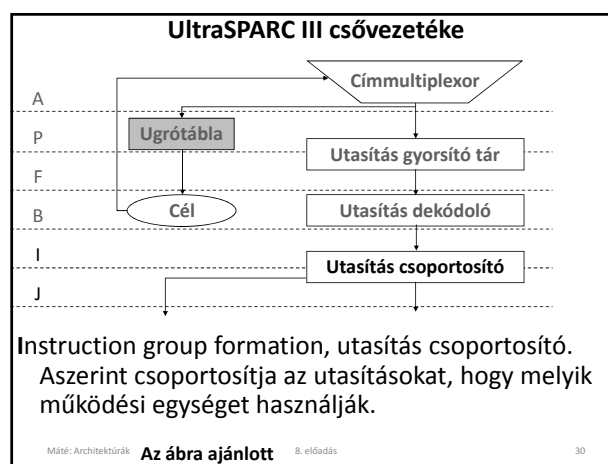
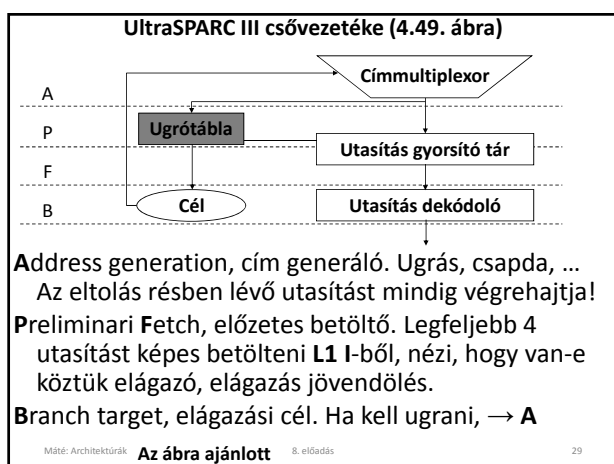
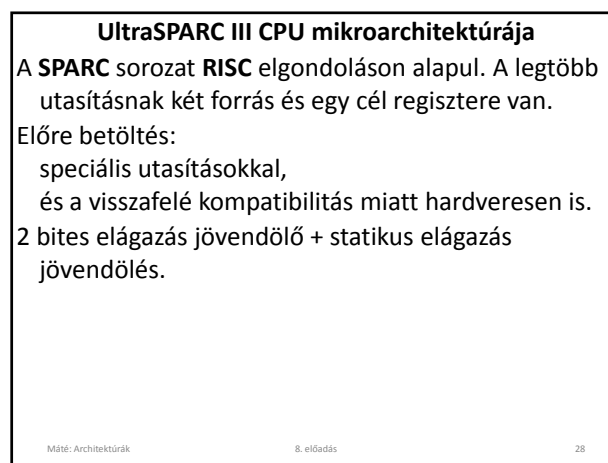
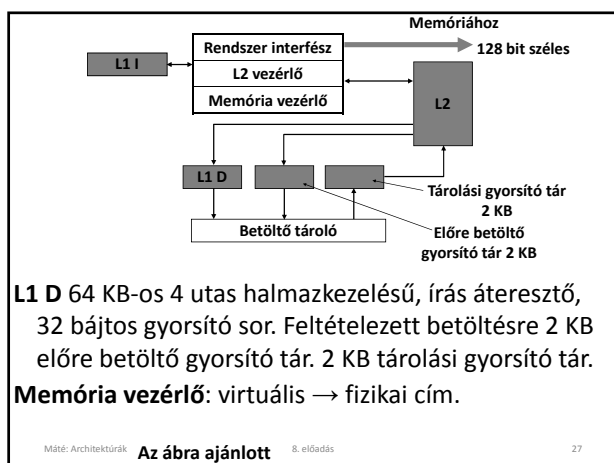
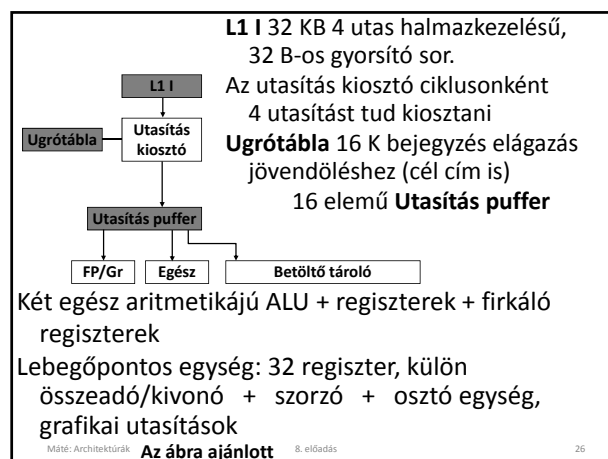
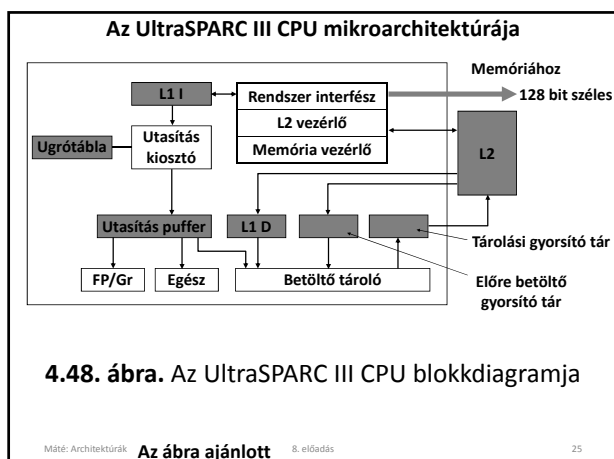


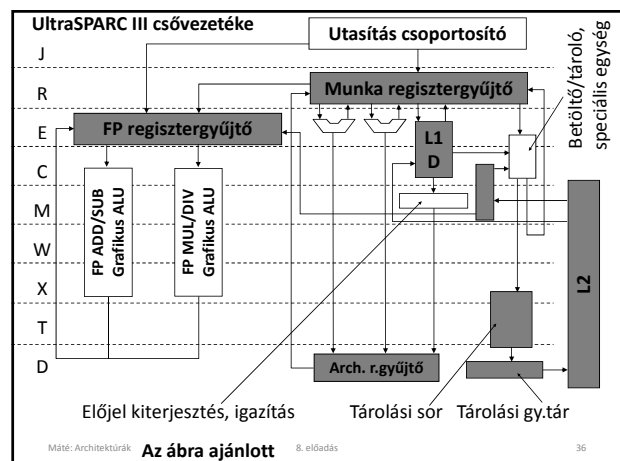
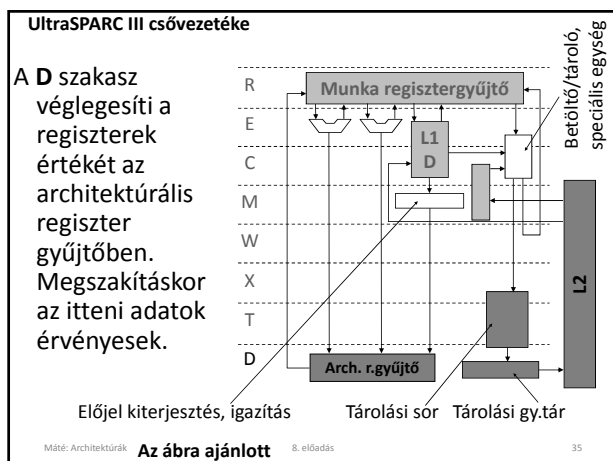
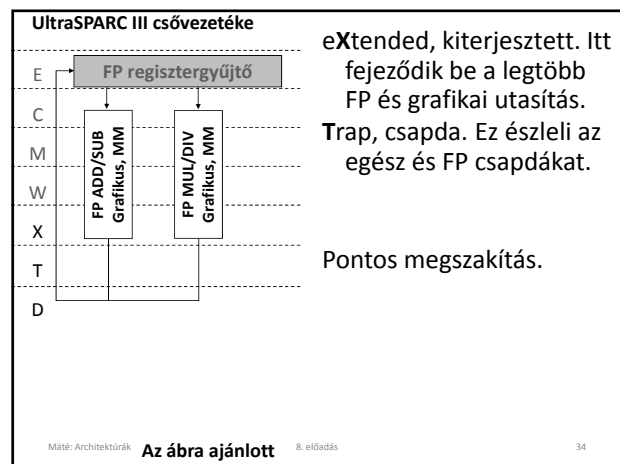
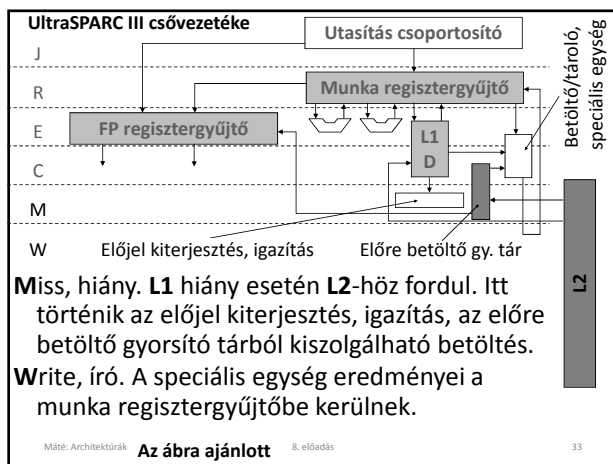
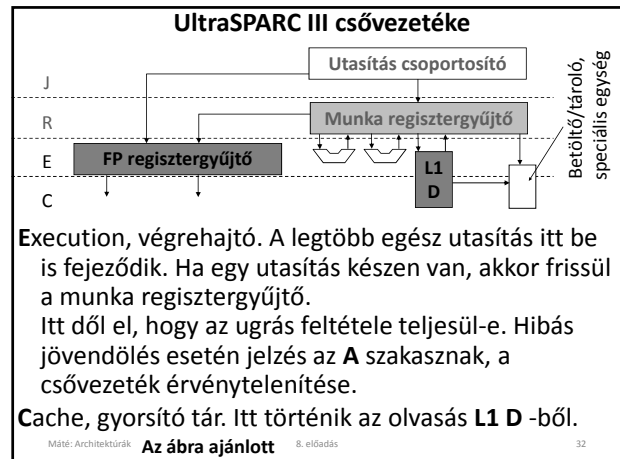
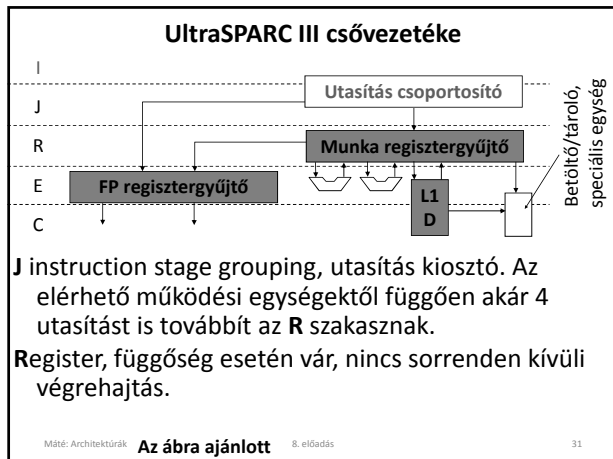
Máté: Architektúrák

Az ábra ajánlott

8. előadás

24





I-8051 (1980)

Cél: beépített rendszerekben való alkalmazás.

Fő szempont: olcsóság (ma már 10-15 €), sokoldalú alkalmazhatóság.

A memóriával, be- és kivitellel együtt egyetlen lapkára integrált számítógép. Mikrovezérlő.

Évenként 8 milliárd mikrovezérlőt adnak el, a legnépszerűbb az MCS-51-es család. A család tagjai nagyon hasonlóak.

Máté: Architektúrák

8. előadás

37

I-8051 (1980)

40 multiplexelt lábú standard tokban kerül forgalomba.

60 000 tranzisztor.

4 KB ROM, max. 64 KB külső memória, 128 B RAM.

16 címvezeték.

8 bites adat sín.

32 I/O vonal 4 db 8 bites csoportba rendezve, ezek mindegyike hozzákötethető nyomógombhoz, kapcsolóhoz, LED-hez, ...

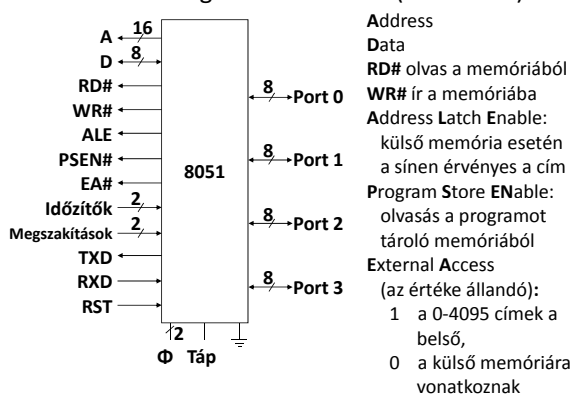
Időzítők.

Pl. Digitális óra: nyomógombok, kapcsolók, kijelző.

Máté: Architektúrák

8. előadás

38

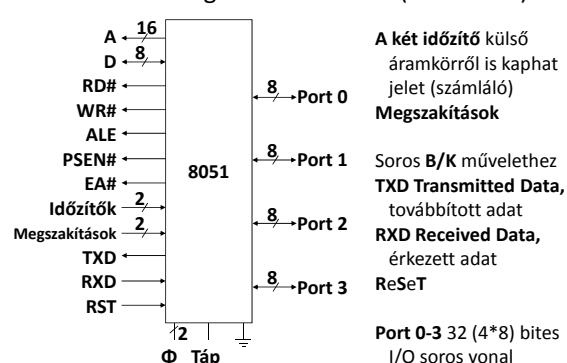
Az I-8051 logikai lábkiosztása (3.50. ábra)

Máté: Architektúrák

Az ábra ajánlott

8. előadás

39

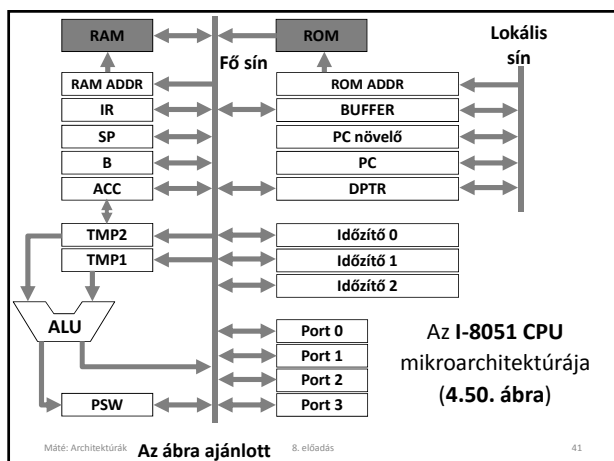
Az I-8051 logikai lábkiosztása (3.50. ábra)

Máté: Architektúrák

Az ábra ajánlott

8. előadás

40

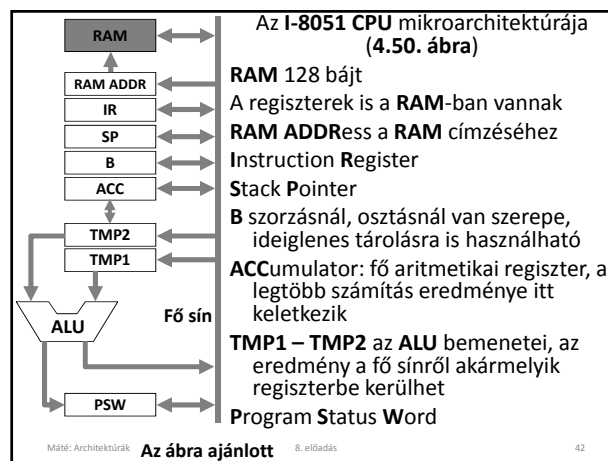


Máté: Architektúrák

Az ábra ajánlott

8. előadás

41

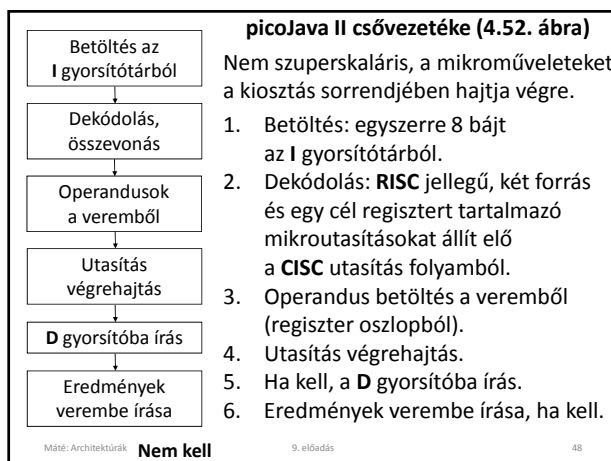
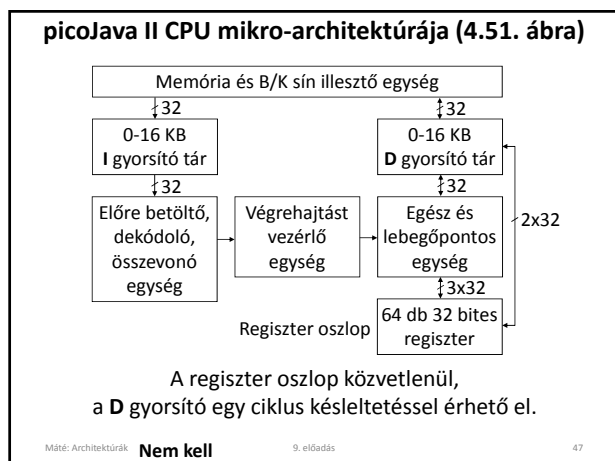
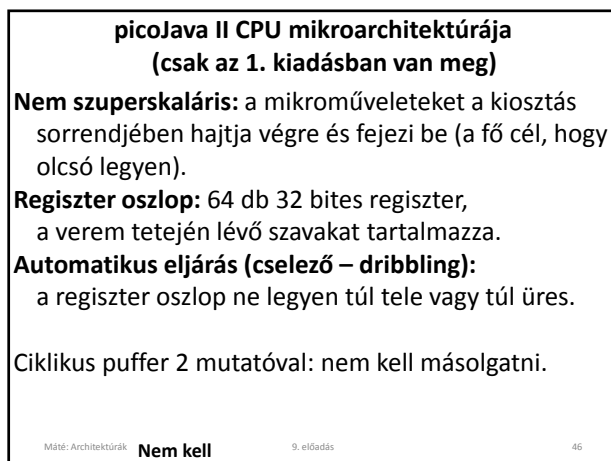
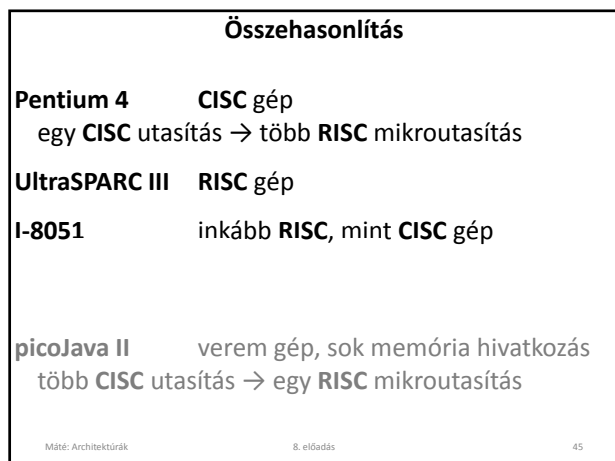
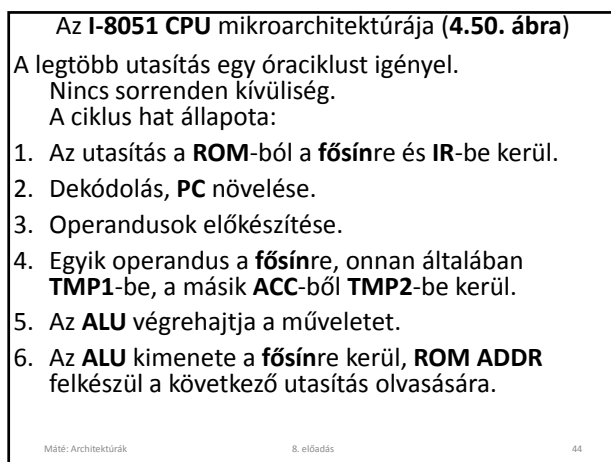
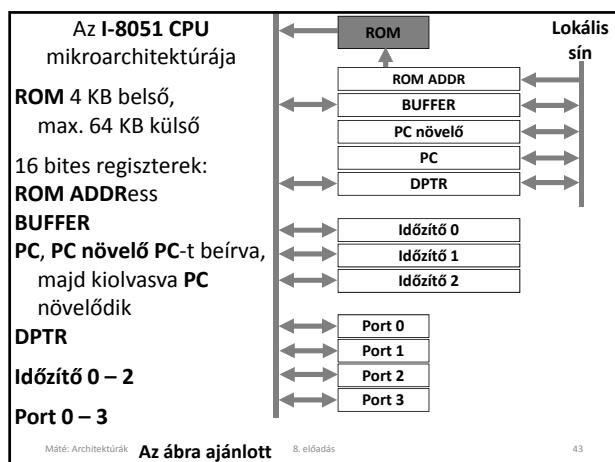


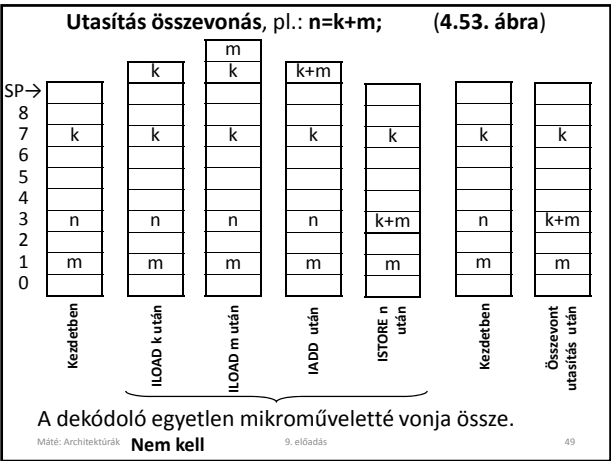
Máté: Architektúrák

Az ábra ajánlott

8. előadás

42





Utasítás csoportok (4.54. ábra)		
Csoport	Leírás	Példa
NF	Nem összevonható utasítások	GOTO
LV	Betesz egy szót a verembe	ILOAD
MEM	Egy szót a veremből a memóriába tesz	ISTORE
BG1	Egy verem operandusú utasítások	IFEQ
BG2	Két verem operandusú utasítások	IF_CMPEQ
OP	Két operandusú utasítások eredménnyel	IADD

JVM-nek több utasítása van, mint JVM-nek!
Több utasítás tartozik egy csoportba.

Máté: Architektúrák Nem kell 9. előadás 50

Utasítások összevonása

A dekódoló figyel, hogy a sorozat megfelel-e egy legfeljebb 4 hosszú mintának (4.55. ábra). Ha megfelel, akkor a sorozatot egyetlen mikroutasítással helyettesíti. 74 bites mikroműveleteket oszt ki, ezek legtöbbje egy kódot és három regisztert tartalmaz, és egy ciklusban végrehajtható.

Utasítás sorozat				Példa
LV	LV	OP	MEM	ILOAD, ILOAD, IADD, ISTORE
LV	LV	OP		ILOAD, ILOAD, IADD
LV	LV	BG2		ILOAD, ILOAD, IF_CMPEQ
LV	BG1			ILOAD, IFEQ
LV	BG2			ILOAD, IF_CMPEQ
LV	MEM			ILOAD, ISTORE
OP	MEM			IADD, ISTORE

Máté: Architektúrák Nem kell 9. előadás 51

Elágazás jövődőlés: nem lesz elágazás!

Inkább olcsó, mint bonyolult hardver!

Máté: Architektúrák Nem kell 9. előadás 52

Feladatok

Hogy érvényesül a RISC elv a Pentium 4 esetén?
Milyen gyorsító tárat használ a Pentium 4?
Jellemezze a Pentium 4 L2 gyorsító tárat!
Mire szolgál az előre betöltő?
Mit jelent a szimuláció?
Milyen sorrendben dekódolja a Pentium 4 az utasításokat?
Mire szolgál a µROM?

Máté: Architektúrák 8. előadás 53

Feladatok

Mire szolgál a nyomkövető gyorsító tár?
Milyen elágazás jövődőlést használ a Pentium 4?
Mire szolgál az L1 BTB?
Mire szolgál a nyomkövető BTB?
Milyen sorrendben kezdődik az utasítások végrehajtása a Pentium 4-en?

Máté: Architektúrák 8. előadás 54

Feladatok

Mire szolgál a **Pentium 4** lefoglaló/átnevező egysége?
 Mire szolgálnak a regiszter gyűjtők?
 Milyen sorrendben fejeződik be az utasítások végrehajtása a **Pentium 4**-en?
 Mi a különbség a **Pentium 4** két egész aritmetikájú **ALU**-ja között?
 Miért nem írható azonnal az eredmény **L2**-be?
 Mit jelent a pontos megszakítás kifejezés?
 Milyen problémát okozhat a tárolás utáni betöltés?

Máté: Architektúrák

8. előadás

55

Feladatok

Hogy működik az **UltraSPARC III** másodlagos gyorsító tára?
 Mire szolgál az **UPA** (Ultra Port Architecture)?
 Mire szolgál az **UDB II** (UltraSPARC Data Buffer II)?
 Milyen szervezésű az **UltraSPARC III L1 I** gyorsító tára?
 Mire szolgál a munka regisztergyűjtő?
 Mire szolgál az architektúrális regisztergyűjtő?
 Mire szolgál az előre betöltő gyorsító tár?
 Mire szolgál a tárolási sor?
 Mire szolgál a tárolási gyorsító tár?

Máté: Architektúrák

8. előadás

56

Feladatok

Mire szolgál az **UltraSPARC III** ugrótáblája?
 Milyen elágazás jövődölést használ az **UltraSPARC III**?
 Mit nevezünk eltolás résznek?
 Hogy kezeli az **UltraSPARC III** az eltolás részt?
 Mire szolgál az utasítás csoportosító egység?
 Hány **ALU** van az **UltraSPARC III**-ban?
 Hogy kezeli az **UltraSPARC III** a függőségeket?

Máté: Architektúrák

8. előadás

57

Feladatok

Mi az **I-8051** fő alkalmazási területe?
 Nagyságrendileg milyen árú egy **I-8051**?
 Jellemezze az **I-8051**-et!
 Mi a **RAM**?
 Mi a **ROM**?
 Hány bites a **RAM ADDR** regiszter?
 Hány bites a **ROM ADDR** regiszter?
 Mekkora az **I-8051 RAM**-ja?
 Mekkora az **I-8051 ROM**-ja?
 Mire szolgál az **IR, SP, B, ACC, TMP1-2** regiszter?
 Mi a **PSW**?
 Hogy történik **PC** növelése?

Máté: Architektúrák

8. előadás

58

Feladatok

Milyen és hány be/kimenete van az **I-8051**-nek?
 Mire használhatók az **I-8051** be/kimenetei?
 Hány időzítője van az **I-8051**-nek?
 Mire használhatók az **I-8051** időzítői?
 Mik az **I-8051 ALU**-jának bemenetei?
 Milyen állapotai vannak az óraciklusának?
 Jellemezze a **CISC** gépeket!
 Jellemezze a **RISC** gépeket!
CISC vagy **RISC** gép a **Pentium 4**?
CISC vagy **RISC** gép az **UltraSPARC III**?
CISC vagy **RISC** gép az **I-8051**?
 Hasonlítsa össze a **Pentium 4**-et, az **UltraSPARC III**-at és az **I-8051**-et!

Máté: Architektúrák

8. előadás

59

Az előadáshoz kapcsolódó**Fontosabb témák**

A **Pentium 4** processzor, a **Pentium 4** mikroarchitektúrája
 A **NetBurst** csővezeték
 Az **UltraSPARC III** processzor és az **UltraSPARC III** mikroarchitektúrája, csővezetéke
 Az **I-8051** processzor és az **I-8051** mikroarchitektúrája
 A **Pentium 4**, az **UltraSPARC III** és az **I-8051** mikroarchitektúrájának összehasonlítása

Máté: Architektúrák

8. előadás

60